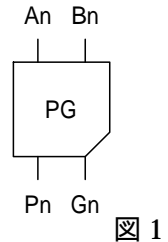


手書きノートのみ持込可です。解答はすべて解答用紙に、問題番号とともに導出過程も含めて記述すること。
80点以上のみ単位認定の対象とします。

1. 桁上げ先見加算器(Carry Look-ahead Adder; CLA)は、入力 A_n, B_n から各桁の桁上がり C_n を先に求めることで高速化を図る加算器の構成方法である。なお以下では、最下位桁の桁上げ入力(C_{-1})は0であるとする。(60点)

(1) 各桁の桁上げ信号 $C_0 \sim C_3$ を、マンチェスタキャリー連鎖(MCC)によって $A_0 \sim A_3$ および $B_0 \sim B_3$ から求める回路の回路図を示せ。ただしプリチャージ信号を \bar{P} とし、入力 A_n, B_n から生成項 G_n と伝播項 P_n を生成する回路ブロック PG は図1の記号で示す機能ブロックとして用いてよい。(30点)



(2) (1)の回路に、図2のような $A_0 \cdot A_1 \cdot \bar{A}_0 \cdot \bar{A}_1 \cdot \bar{A}_1$ が与えられたときの $C_0 \sim C_3$ の電圧の変化を、縦軸を電圧、横軸を時間とするグラフとして、 $A_0 \cdot A_1 \cdot \bar{A}_0 \cdot \bar{A}_1 \cdot \bar{A}_1$ とともに同一座標軸に示せ。ただし $A_2=A_3=B_3= 0 (0V)$ 、 $B_0=B_1=B_2= 1 (VDD)$ とし、図2中に点線で示した変化のタイミングを明示すること。(30点)

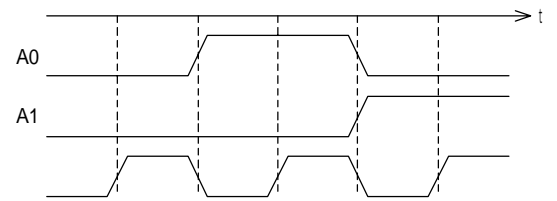


図2

2. 図3のような DRAM の回路で、図4のような $\bar{P} \cdot \text{DWL} \cdot \text{WL}_0 \cdot \text{WL}_1 \cdot A$ が与えられた場合のデータ線 $D \cdot D$ の電圧の変化を、縦軸を電圧、横軸を時間とするグラフとして、 $\bar{P} \cdot \text{DWL} \cdot \text{WL}_0 \cdot \text{WL}_1 \cdot A$ とともに同一座標軸に示せ。ただし図4中に点線で示した変化のタイミングや電圧変化量は明示すること。また $C_0=C_1, CD=C_0/2, CL=10C_0$ とし、MOS トランジスタの電流駆動能力は適宜仮定して構わない。なお初期状態で C_0 には電荷がなく、 C_1 は電圧 V_D に充電されていたとする。(40点)

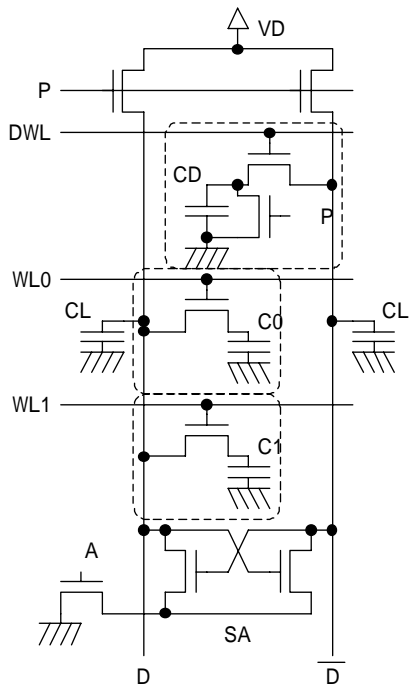


図3

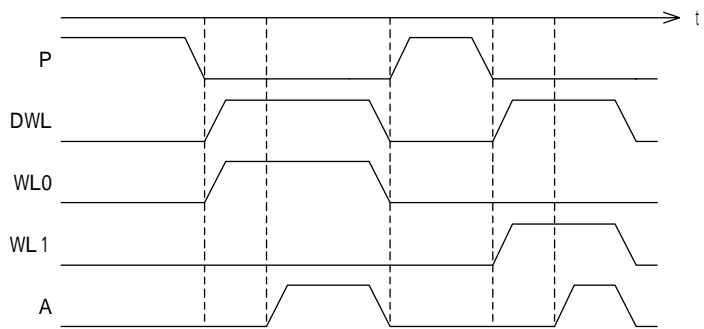


図4