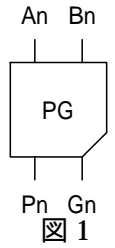


集積回路工学 / 集積回路工学第2 期末試験

2005/2/4 08:50 ~ 10:20@41(秋田)

手書きノートのみ持込可です。解答はすべて解答用紙に、問題番号とともに導出過程も含めて記述すること。

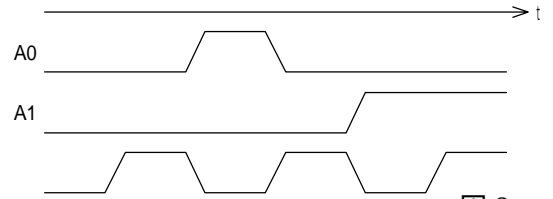
1. 桁上げ先見加算器(Carry Look-ahead Adder; CLA)は、入力 A_n, B_n から各桁の桁上がり C_n を先に求めることで高速化を図る加算器の構成方法である。なお以下では、最下位桁の桁上げ入力 (C_{-1}) は0であるとす。(40点)



(1) 4 ビットの桁上げ先見加算器を構成する場合の、各桁の桁上げ信号 $C_0 \sim C_3$ を、入力 $A_0 \sim A_3$ および $B_0 \sim B_3$ の論理式としてあらわせ。なお結果の論理式は展開・簡略化する必要はない。

(2) 各桁の桁上げ信号 $C_0 \sim C_3$ を、マンチェスタキャリー連鎖(MCC)によって $A_0 \sim A_3$ および $B_0 \sim B_3$ から求める回路の回路図を示せ。ただしプリチャージ信号を \bar{P} とし、入力 A_n, B_n から生成項 G_n と伝播項 P_n を生成する回路ブロック PG は、図1の記号で示す機能ブロックとして用いてよい。

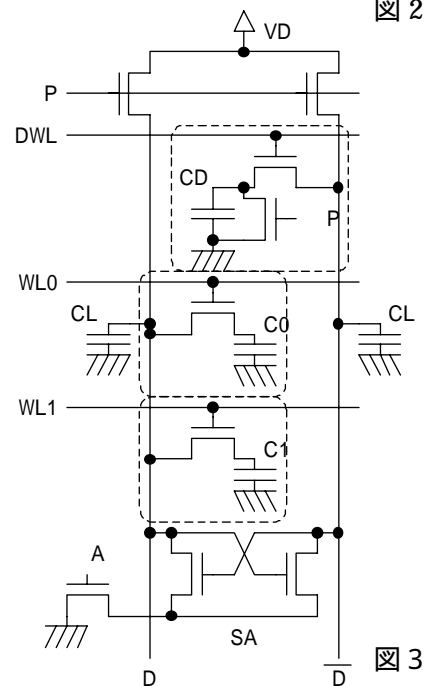
(3) (2)の回路に、図2のような $A_0 \cdot A_1 \cdot \bar{B}_0 \cdot \bar{B}_1$ が与えられたときの $C_0 \sim C_3$ の電圧の変化を、縦軸を電圧、横軸を時間とするグラフとして、 $A_0 \cdot A_1 \cdot \bar{B}_0 \cdot \bar{B}_1$ とともに同一座標軸に示せ。ただし $A_2=A_3=B_3=0$ (0V)、 $B_0=B_1=B_2=1$ (VDD)とする。



2. 乗算器を高速化するために有効なブースのアルゴリズムに関して次の問いに答えよ。(20点)

(1) 乗算 $-5 \times +8$ (10進数表記)を、6桁の符号付き2進数でブースのアルゴリズム(2次)を用いて求めよ。

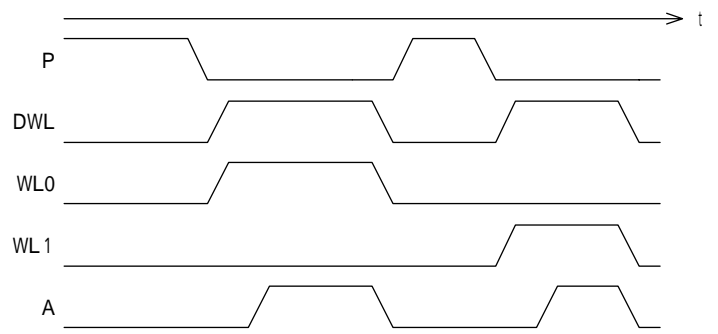
(2) 16 ビット \times 16 ビットの乗算を行う乗算器を、部分積の生成に2次のブースのアルゴリズムを用いて構成する場合、部分積の加算部の加算器の段数を求めよ。



3. 集積回路メモリに関して次の問いに答えよ。(20点)

(1) 図3のような DRAM の回路で、図4のような $P \cdot DWL \cdot WL_0 \cdot WL_1 \cdot A$ が与えられた場合のデータ線 $D \cdot \bar{D}$ の電圧の変化を、縦軸を電圧、横軸を時間とするグラフとして、 $P \cdot DWL \cdot WL_0 \cdot WL_1 \cdot A$ とともに同一座標軸に示せ。ただし変化のタイミングや電圧変化量はわかるように示すこと。また $C_0=C_1$ 、 $CD=C_0/2$ とするが、そのほかの CL などの値および MOS トランジスタの電流駆動能力は適宜仮定して構わない。また初期状態で C_0 は電圧 V_D に充電されており、また C_1 には電荷がなかったとする。

(2) DRAM のメモリセルの面積を A とした場合、標準的な SRAM、UV-EPROM および Flash メモリのメモリセル面積を求めよ。ただしワード線・データ線・電源線やメモリセル内の配線の面積は、多層金属配線が利用できると仮定して無視してよい。また通常 MOS トランジスタの寸法はすべて同一とするが、浮遊ゲートをもつ MOS トランジスタの面積はその2倍とする。また DRAM メモリセルの保持コンデンサ C_1 の面積は MOS トランジスタの面積の2倍であると仮定する。



4. MOS トランジスタの「スケーリング則」の技術的・社会的・経済的な面について、知るところ、および考えるところを述べよ。(適宜主観を交えても構わない)(10点)

5. この「集積回路工学」または「集積回路工学第2」を通して学んだことが、あなたの普段の生活や今後の進路にどのような関係・影響があったか(またはありそうか)、他の講義やこれまでの講義で学んだこととの関連やあなた自身の感想などを交えて、自由に考えを述べてください。(記述の内容は点数に反映させませんので、思うままに自由に述べてください)(10点)