

手書きノートのみ持込可です。解答はすべて解答用紙に、問題番号とともに導出過程も含めて記述すること。各回路は最小ゲート数で構成すること。なお1.と2.では、論理ゲートを構成するトランジスタ数は次の値を用いること。インバータ(NOT ゲート) = 2個、NAND ゲート = 4個、NOR ゲート = 4個、XOR(排他的論理和)ゲート = 6個。ただしトランジスタのサイズは考慮しなくてもよい。またトランジスタ数は、nMOS・pMOSを区別せずに両者の合計数を求めること。

1. 多ビットの加算器を高速化するためには多くの回路構成・手法が知られている。これについて次の問いに答えよ。(40点)

- (1) 図1はセレクタを用いた全加算器の構成の基本部分である。これに必要な論理ゲートを適宜追加し、3入力( $A_n \cdot B_n \cdot C_{n-1}$ )・2出力( $S_n \cdot C_n$ )の全加算器の論理回路図を示せ。ただしセレクタ(selector)は機能ブロック記号のままでもよい。またこれを構成するのに必要なトランジスタ数  $N_{FA}$  を求めよ。
- (2) 全加算器として図1の回路を用いて、8ビットおよび16ビットの加算器を以下の方法でそれぞれ構成するのに必要なトランジスタ数を求めよ。ただし2進桁上げ先見加算器に必要なQ Gブロック・演算ブロックを構成するトランジスタ数は、その回路構成から求めること。
  - a. キャリー伝播加算器(RCA)
  - b. 2進桁上げ先見加算器(BCLA)

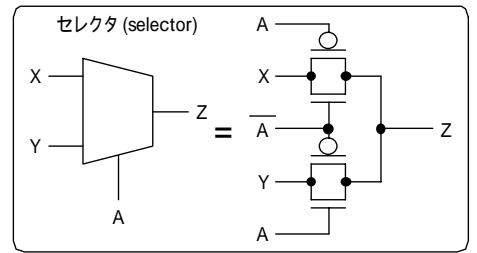
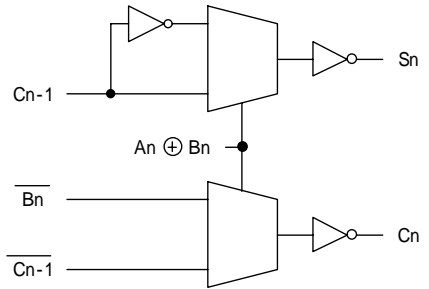


図1

2. 乗算器について次の問いに答えよ。(20点)

- (1) ブースのアルゴリズムを用いる乗算器で必要となる BTD・SIB・SEL の各機能ブロックの論理回路図を示せ。またそれらを構成するのに必要となるトランジスタ数  $N_{BTD}$ 、 $N_{SIB}$ 、 $N_{SEL}$  を求めよ。
- (2) 16ビット×16ビットの乗算器(結果は32ビット)を次のそれぞれの方法で構成するのに必要なトランジスタ数を、 $N_{BTD}$ 、 $N_{SIB}$ 、 $N_{SEL}$  および1.(1)の  $N_{FA}$  を含む式として求めよ。ただし1ビット乗算器(ANDゲート)のトランジスタ数を6個とし、結果の導出過程は機能ブロックごとのトランジスタ数等を明記すること。
  - a. 並列乗算器(部分積の加算はキャリー保存加算器を用い、最終段のキャリーの吸収にはキャリー伝播加算器を用いる)
  - b. 並列乗算器(部分積の加算はキャリー保存加算器を用い、最終段のキャリーの吸収には2進桁上げ先見加算器を用いる)
  - c. 2次のブースのアルゴリズム(部分積の加算はキャリー保存加算器を用い、最終段のキャリーの吸収にはキャリー伝播加算器を用いる)

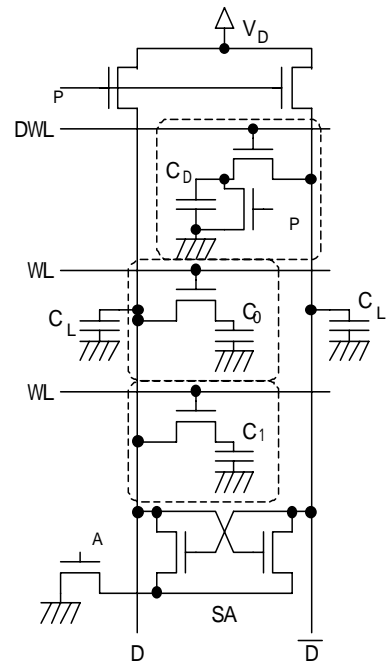


図2

3. 図2のようなDRAMの回路で、図3のような  $P \cdot DWL \cdot WL_0 \cdot WL_1 \cdot A$  が与えられた場合のデータ線(ビット線)  $D \cdot \bar{D}$  の電圧の変化を、縦軸を電圧、横軸を時間とするグラフ(タイミングチャート)として、 $P \cdot DWL \cdot WL_0 \cdot WL_1 \cdot A$  とともに同一座標軸に示せ。ただし変化のタイミングや電圧変化量は明記すること。なお  $C_0=C_1$ 、 $C_D=C_0/2$  とし、その他の  $C_L$  などの値およびMOSトランジスタの電流駆動能力は適宜仮定して構わない。また初期状態で  $C_0$  は電圧  $V_D$  に充電されており、 $C_1$  には電荷がなかったとする。(20点)

4. MOS トランジスタの「スケーリング則」の技術的・社会的・経済的な面について、知るところ、および考えるところを述べよ。(適宜主観を交えても構わない)(10点)

5. この「集積回路工学第2」を通して学んだことが、あなたの普段の生活や今後の進路にどのような関係・影響があったか(またはありそうか)、他の講義やこれまでの講義で学んだこととの関連やあなた自身の感想などを交えて、自由に考えを述べてください。(記述の内容は点数に反映させませんので、思うままに自由に述べてください)(10点)

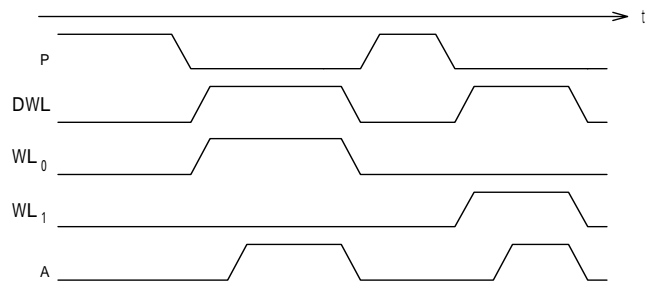


図3