



集積回路工学第2

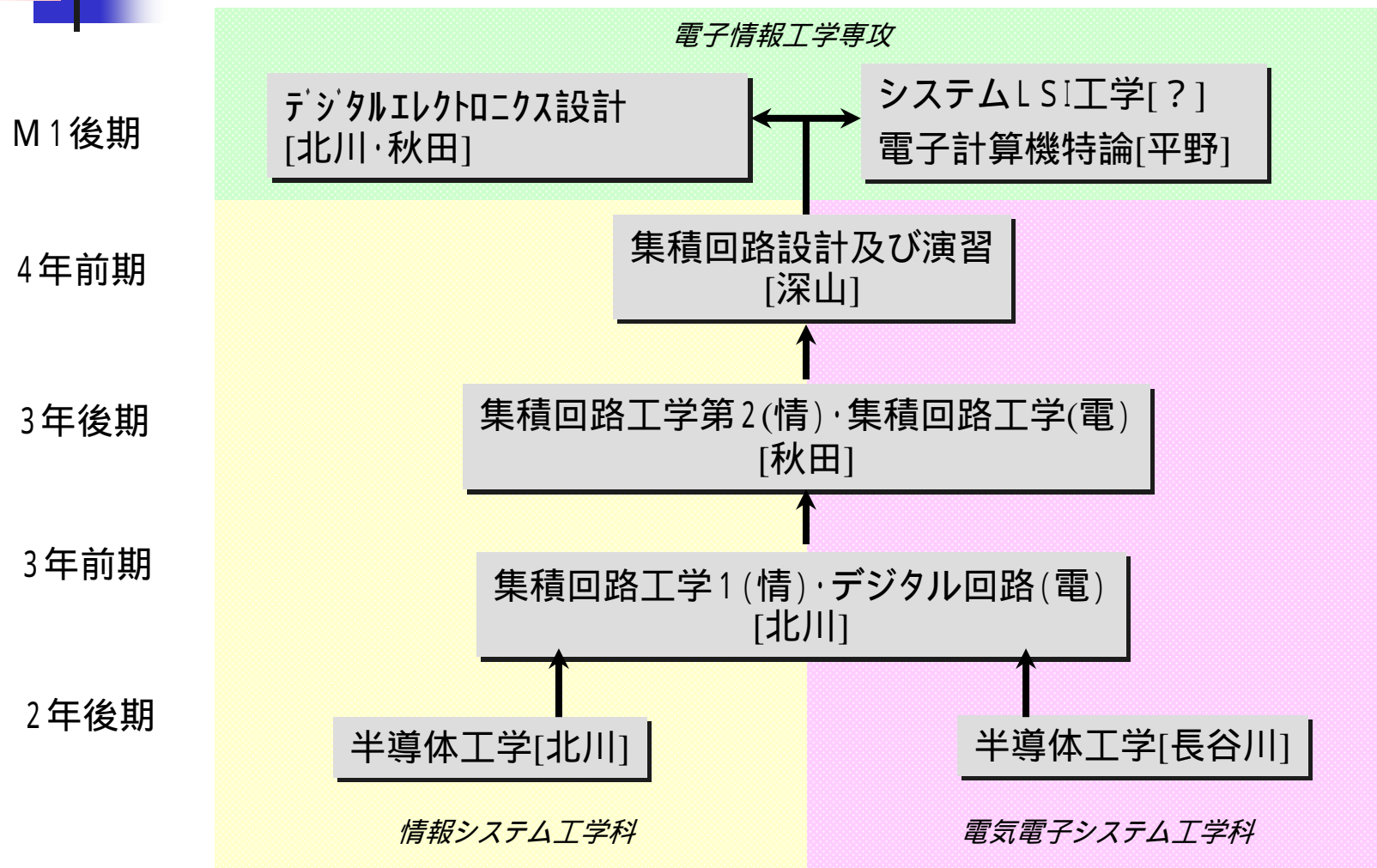
集積回路工学研究室(MERL)

秋田純一



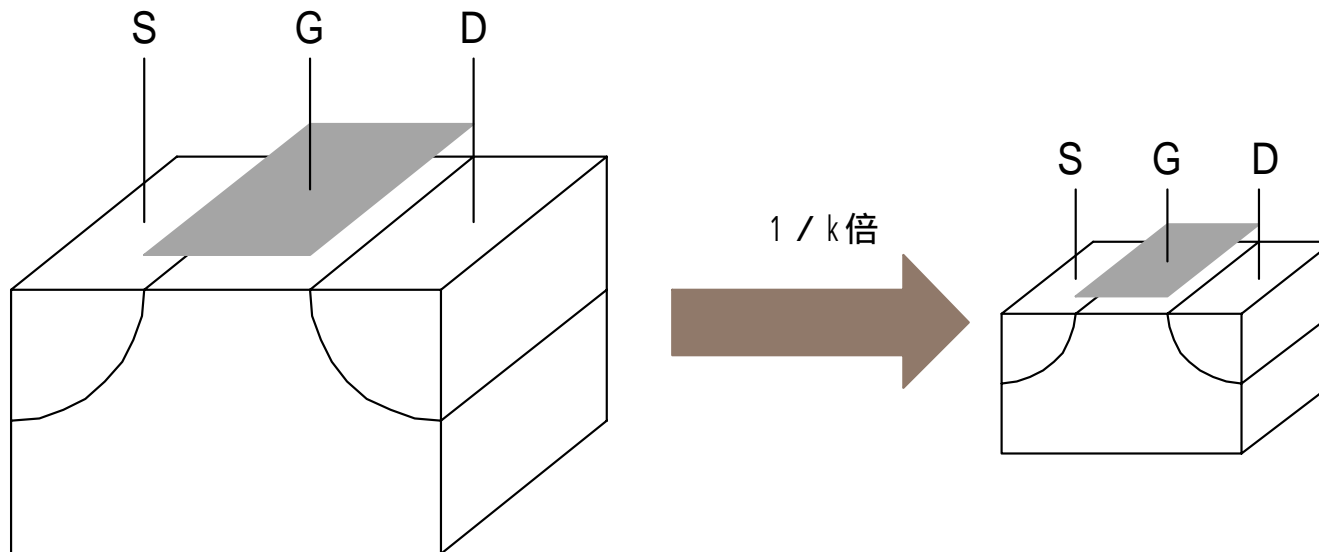
集積回路

この講義の位置づけ



スケーリング則

- 集積回路を構成するMOSトランジスタを小さくすると…





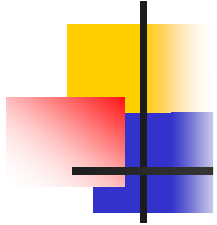
スケーリング則の効果

- 信号遅延 = $1 / k$ (高速化)
- 消費電力 = $1 / k^2$ (低消費電力化)
- 集積度 = k^2 (高性能化 or 低価格化)

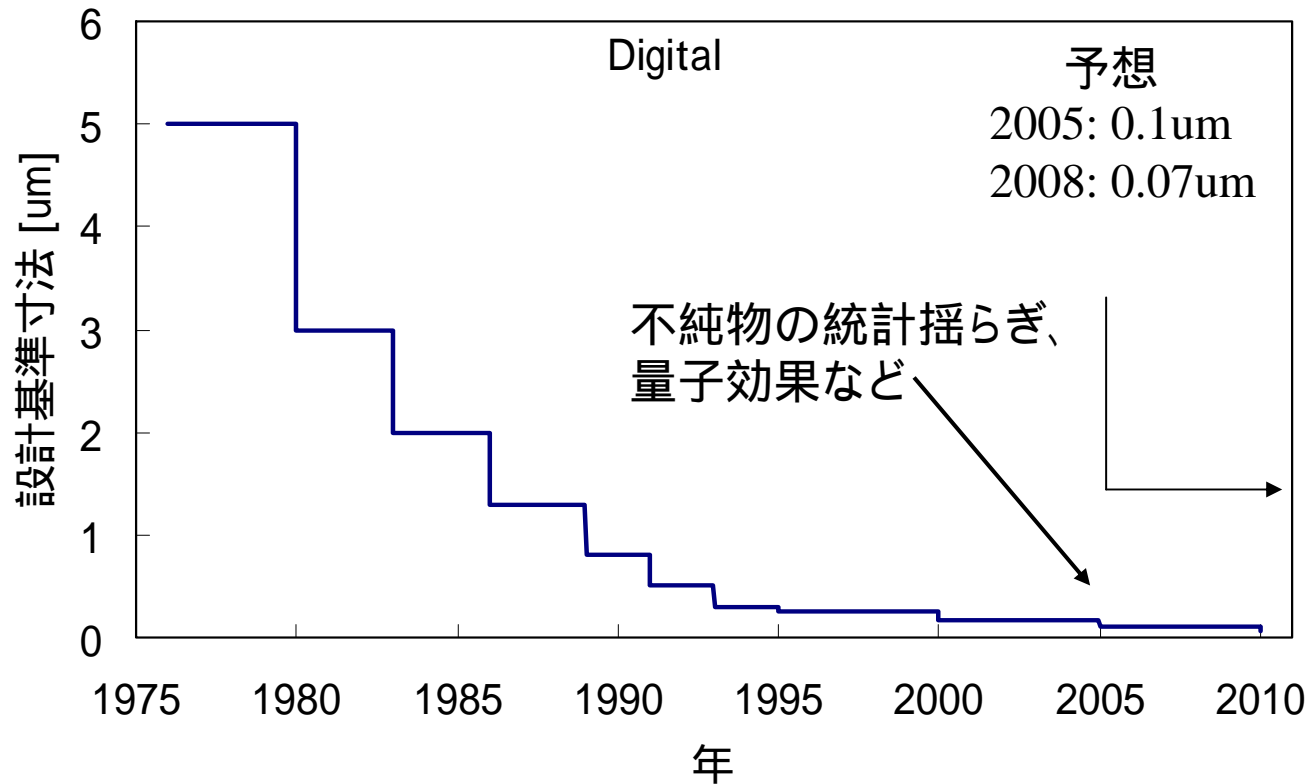


スケーリング則のもたらすもの

- 機能単価：「価格 / 機能」
 - スケーリングにより継続的な機能向上が可能
 - 他の産業では見られない特異性
- 機能飢餓
 - 「より高性能なものが求められている」状態
 - 電子産業は長年この状態にある

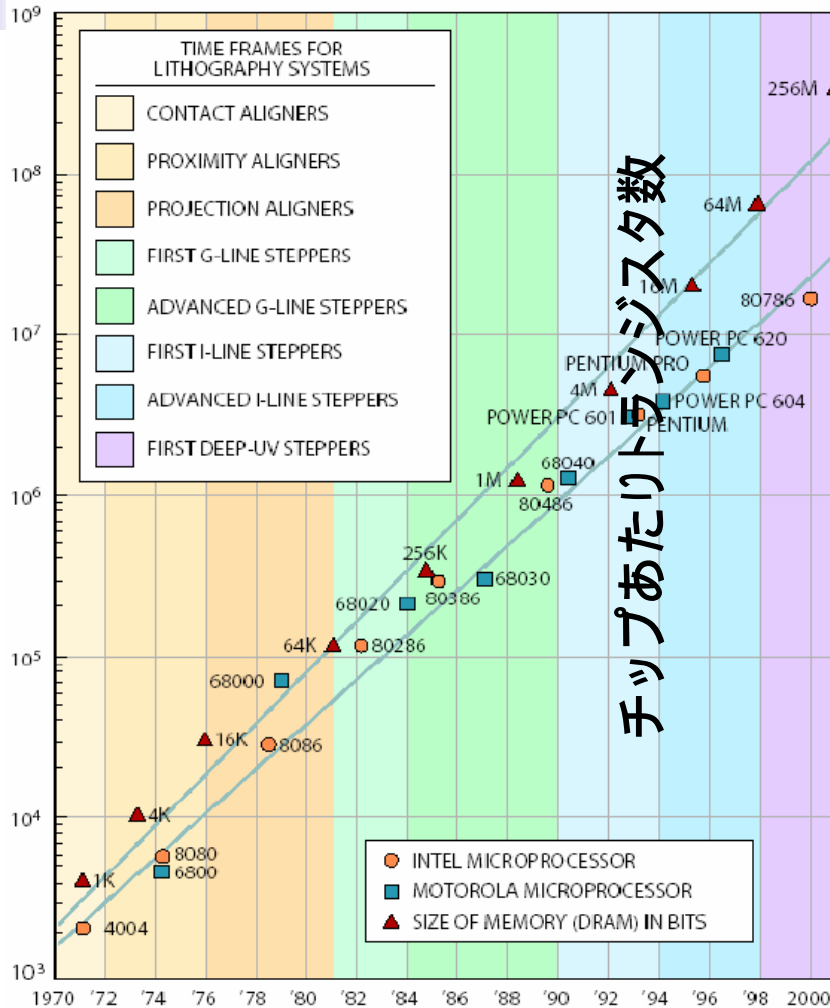


微細化の進展



最小設計寸法 (設計基準寸法)

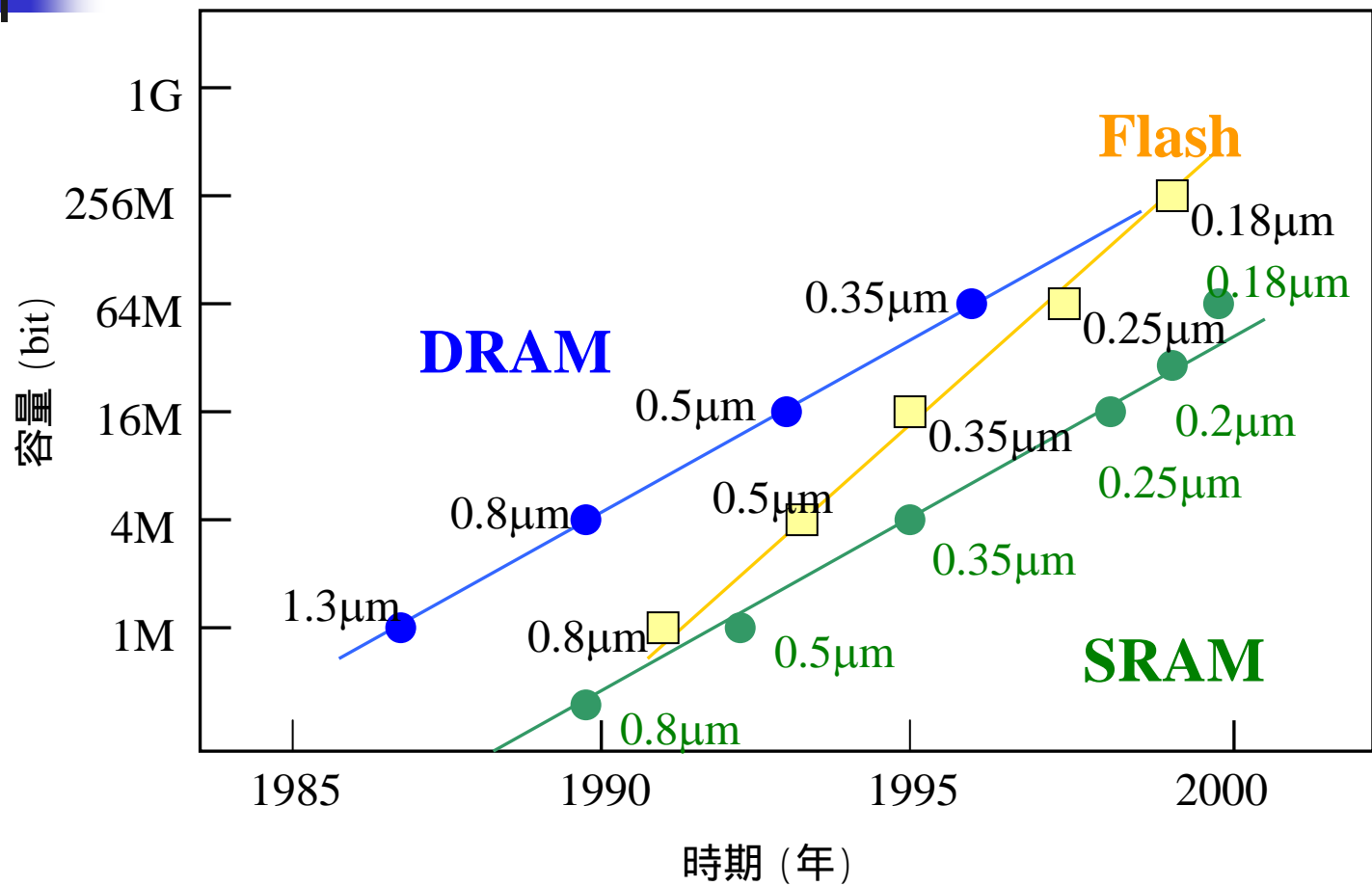
Gordon Moore's Law



年率59%=4/3yearsで集積度増大
 (「3年で4倍」)

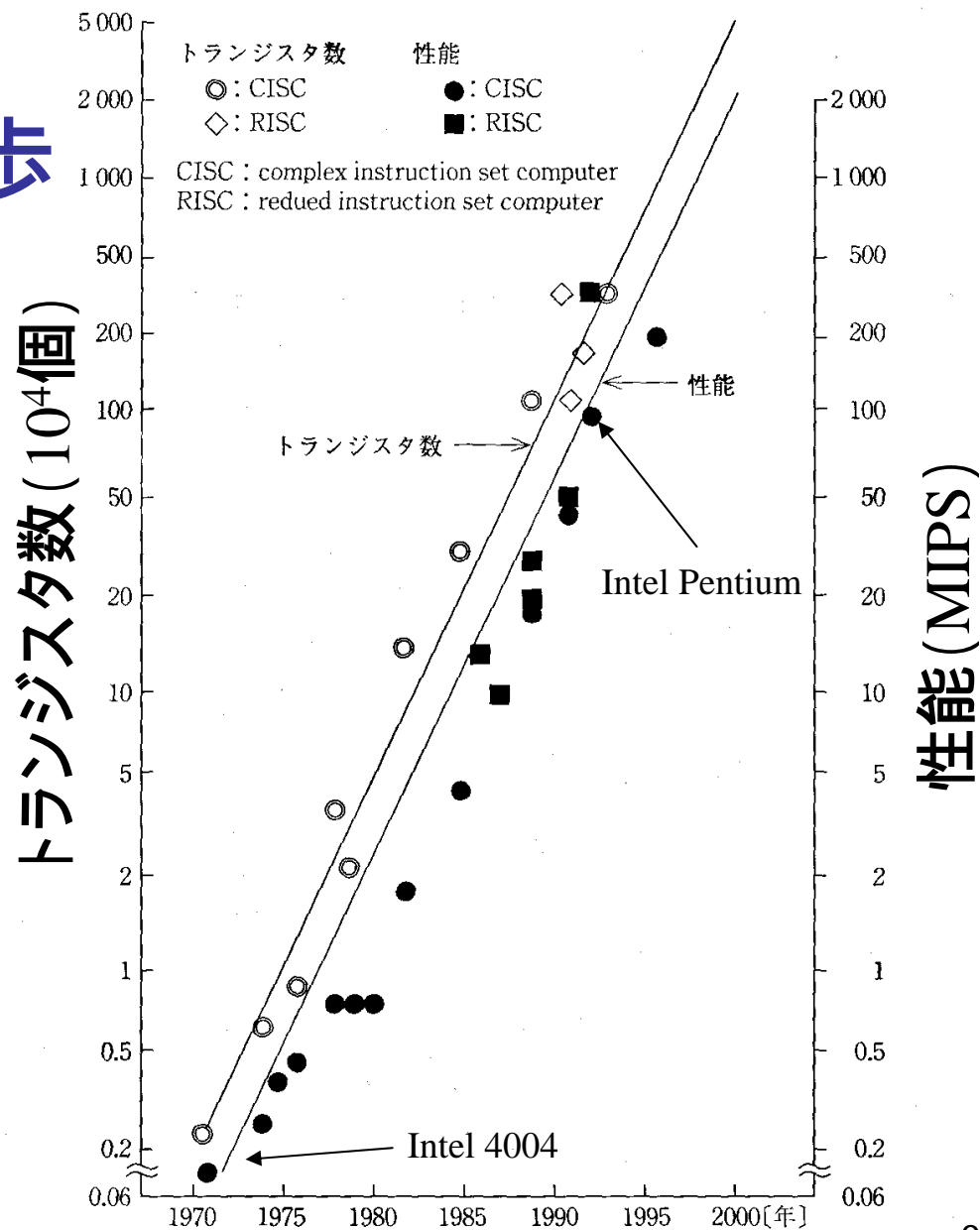
傾き：
 プロセッサ：1.5/years
 メモリ：1.6/years

Flashメモリ開発動向



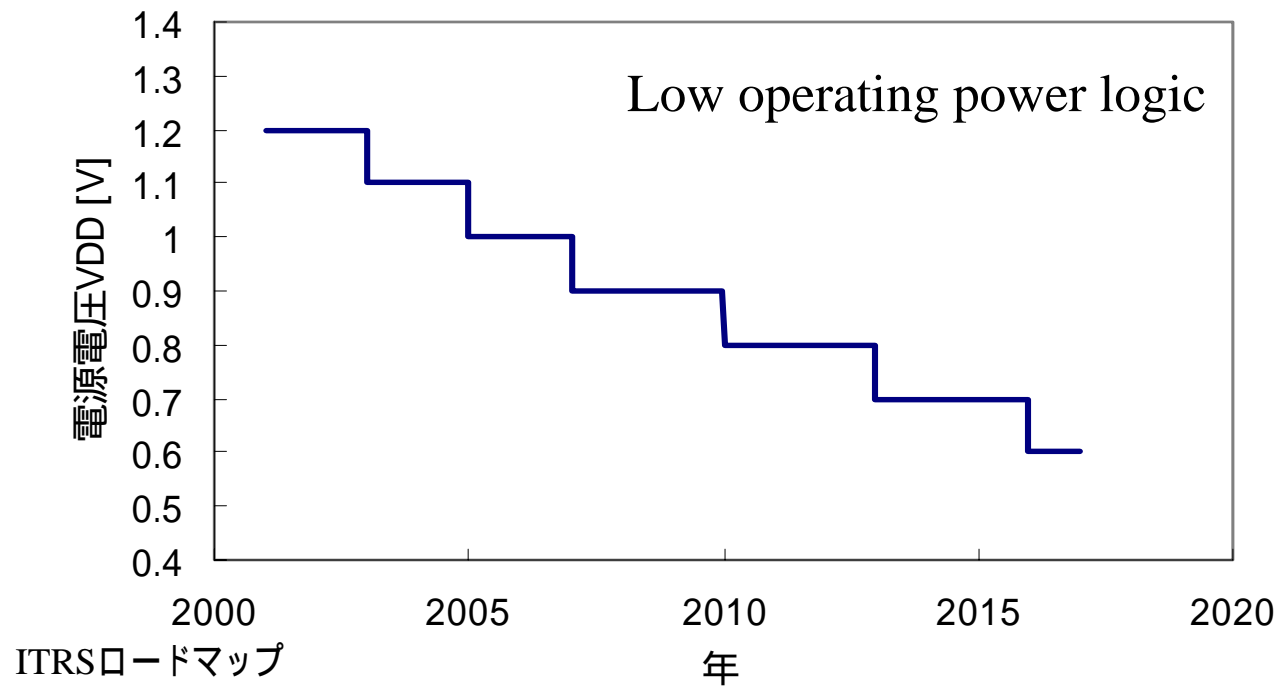
高性能化の進歩

プロセッサの規模と性能の推移

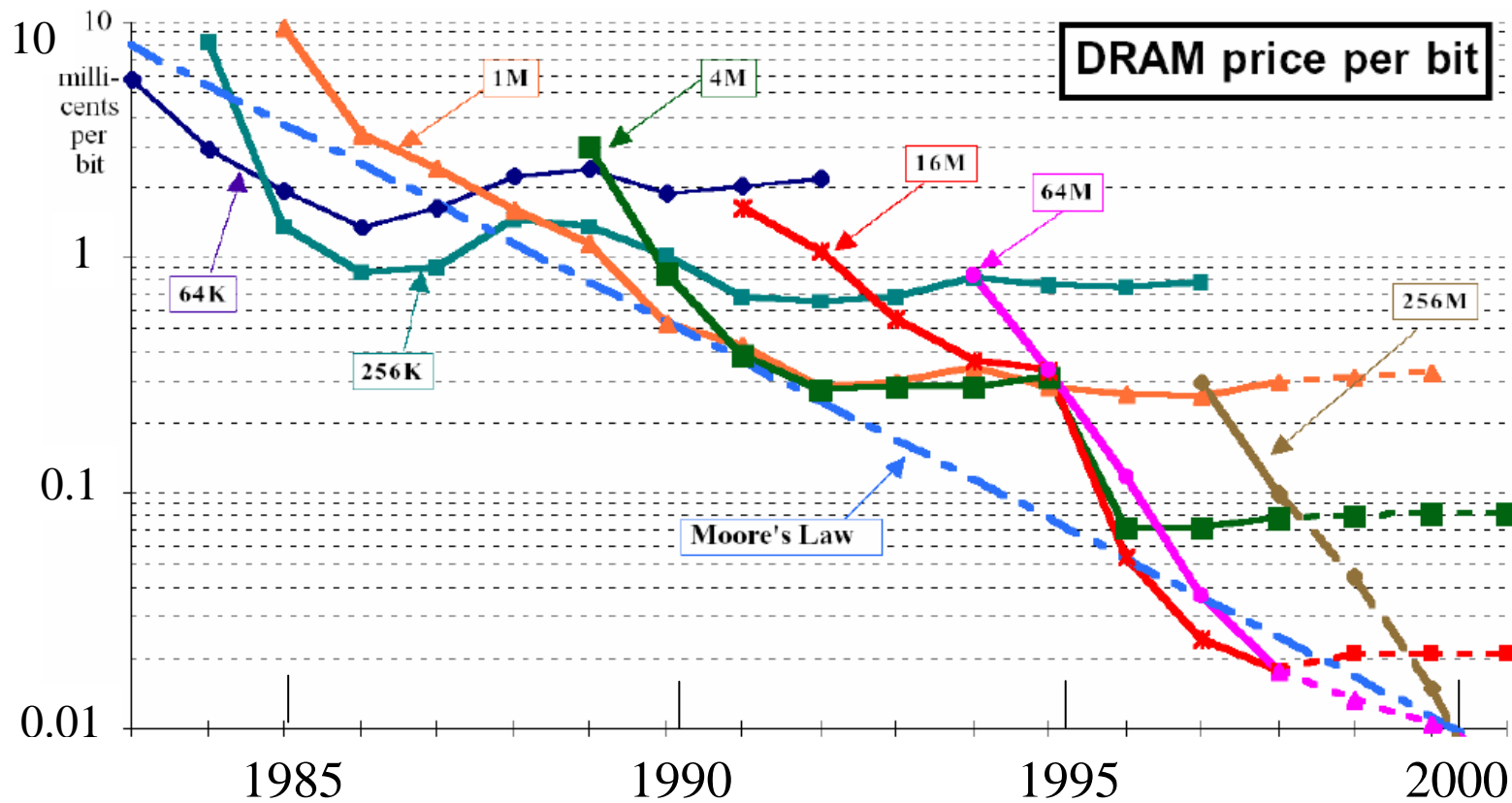


低消費電力化

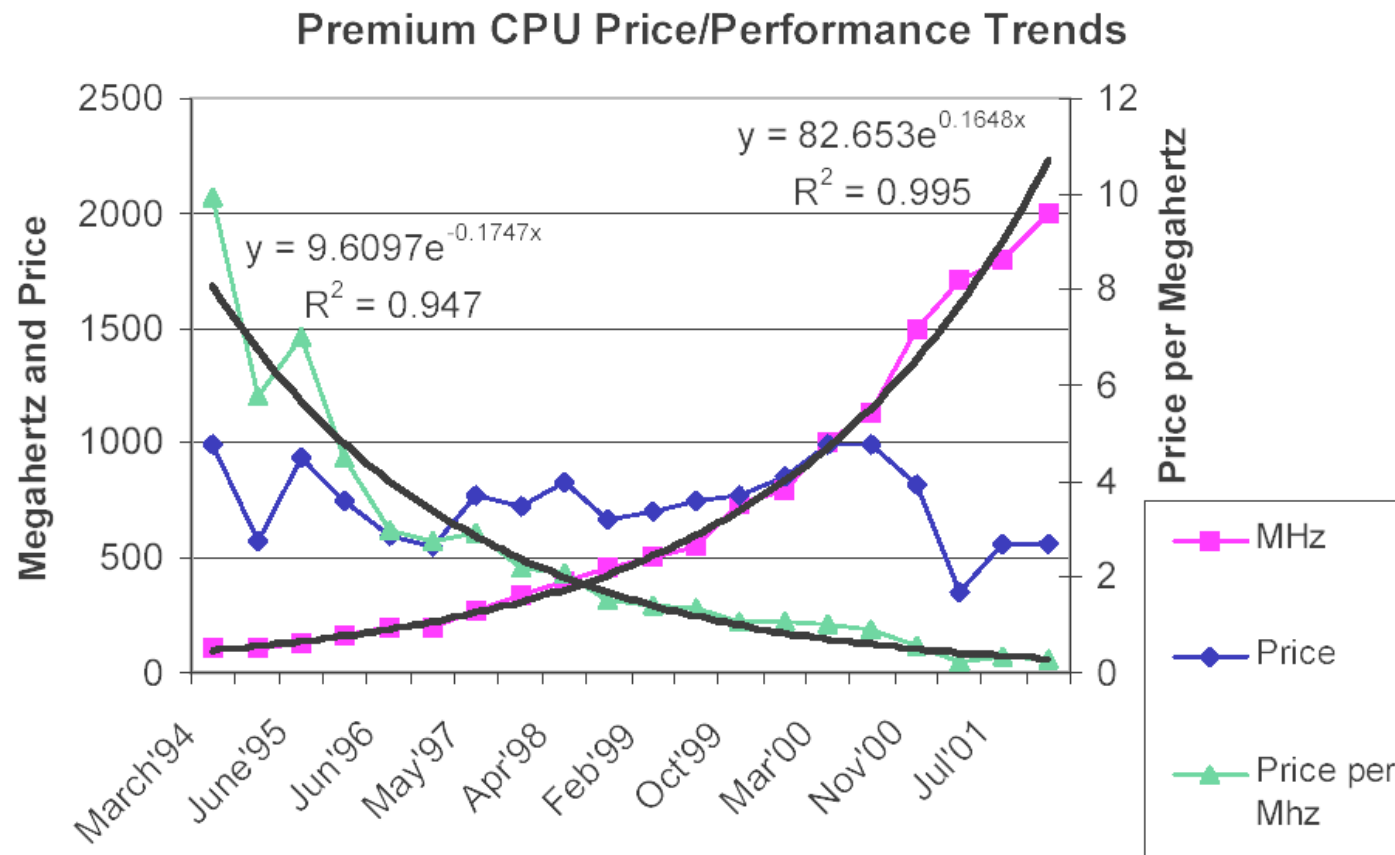
$$Power \propto VDD^2$$



低コスト化(その1:DRAMのビット単価)



低コスト化(その2:クロック周波数 あたりのプロセッサ価格)

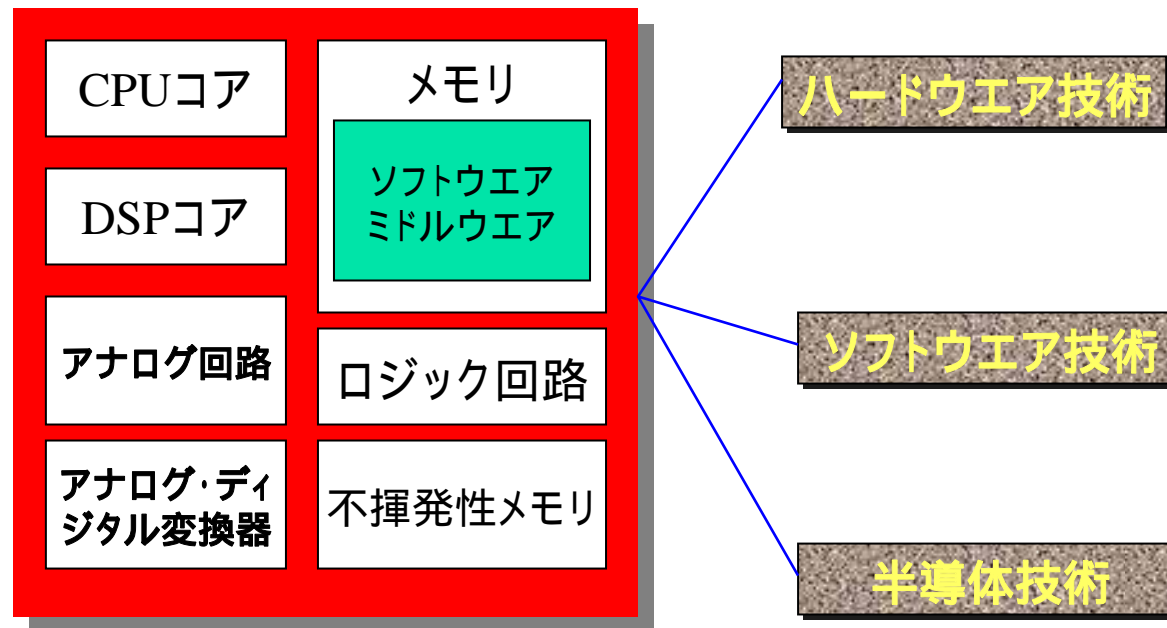


Source: Intel

大規模集積化の利点

その1 : System on Chip (SOC)

- 既にLSIは部品ではない
(0.18 μm では5000万Tr/chip)

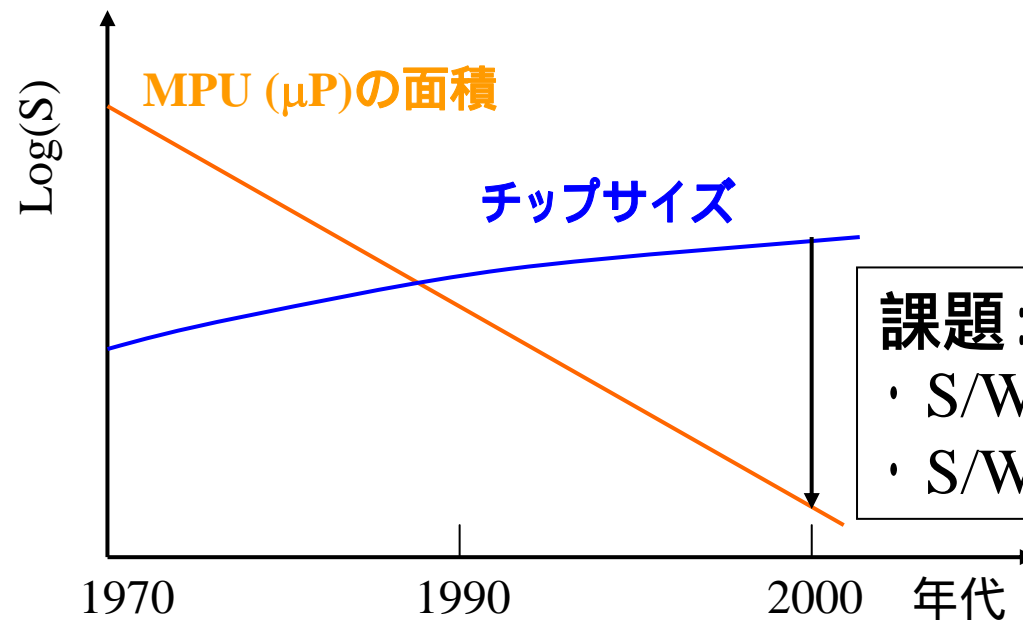


システムLSIチップ

SoC化の効果の例: PS2の進化



SoC化によるS/W, H/W分割の変化



課題:

- ・ S/Wを含めた検証技術が困難
- ・ S/W, H/W両方の知識が必要

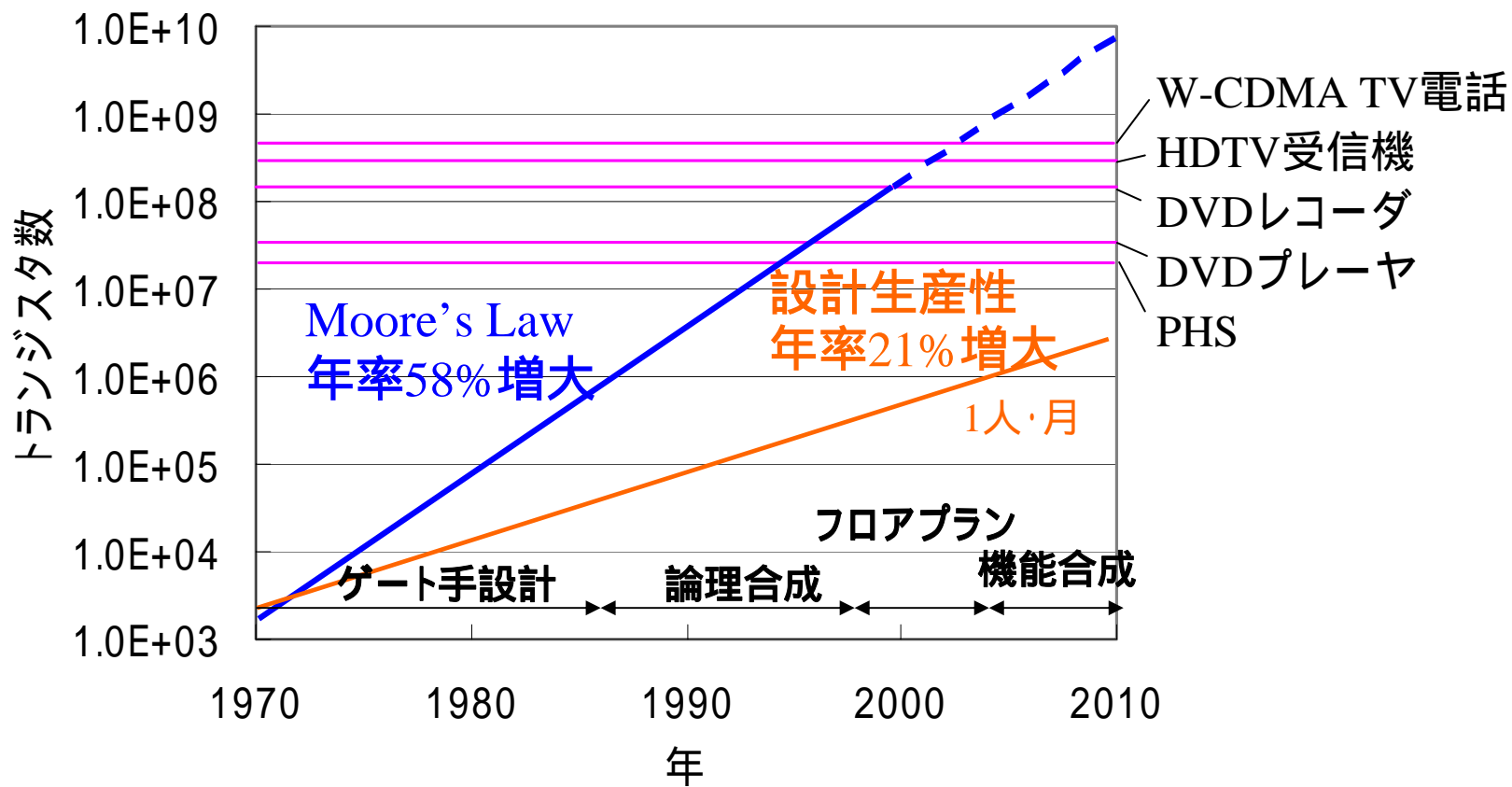
- プロセッサ性能の増大 (プロセッサ = コンピュータの部品化)
 - ソフトウェアでできる部分が増大
- メモリの大容量化とロジック混載



人間の設計能力は増えたか？

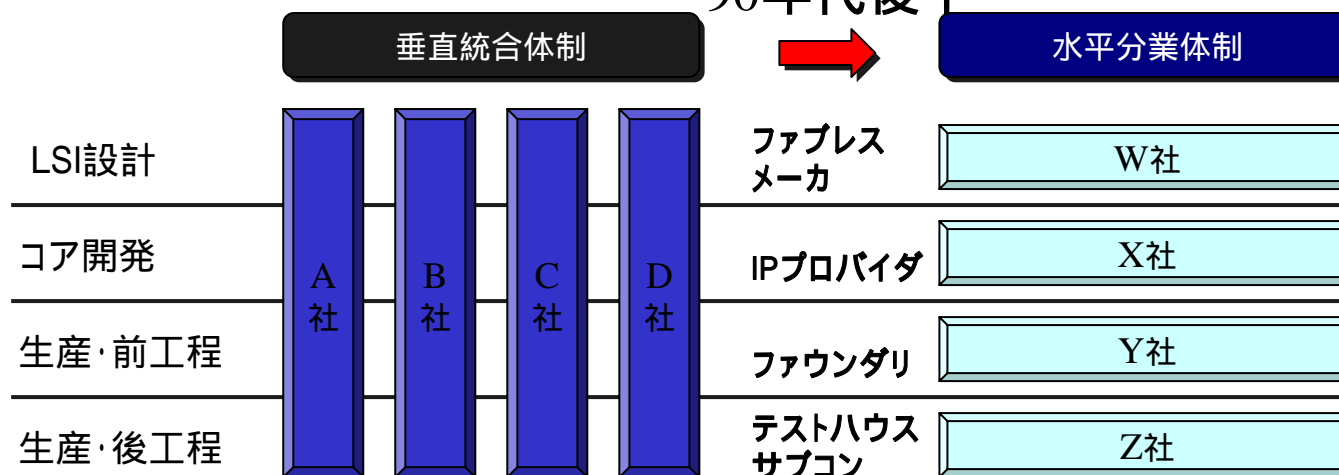
- No, Moore's Lawの追従できていない
- 設計支援のための技術の進歩
 - CADツール(HDL、論理合成、高位合成、自動配置配線)
 - 設計資産の再利用(IP化)
 - 高速検証技術の援用
- これら新技術を導入しても年率21%程度の伸び

設計生産性



産業形態の変化

90年代後半



	一貫メーカー	ファブレスメーカー	IPプロバイダ	ファウンドリ	サブコン	テストハウス	金沢大学
開発設計				×	×	×	
前工程		×	×		×	×	×
後工程		×	×			×	×
テスト工程		×	×				
自社内消費		×	×	×	×	×	
社外向け販売							×
自社ブランド販売			×			×	×



まとめ

- 2000年頃までに産業形態が変化し、知識集約的な設計技術の重要性が増大
- 2005年を超えると製造技術革新が必要
- 2010まで微細化技術が進歩すると0.07 μm (10億トランジスタ超)の時代となり、完全な1チップシステムが実現
- 微細化により、高速化、低消費電力化、低コスト化が進行
- S/WとH/W分割の自由度が増大
- 現状でも、設計生産性の革新が必要



金沢大学のVLSI設計教育

- 階層的なカリキュラムによりアルゴリズムから半導体技術動向までを関連づける
- 情報技術関連講義とのリンクをはかり、システムのLSI化を常識のものとする
- VDECを活用し、実習による体得を目指す
(例: 自主課題研究「LSI設計コンテスト」)



集積回路の設計階層

設計段階	設計内容	表現法
システム・レベル	アルゴリズム、アーキテクチャ	高級言語、HDL フローチャート等
サブシステム・レベル	回路ブロック(演算ユニット、RAM等)	機能ブロック図 HDL動作記述
ゲートレベル	論理設計	論理回路図 HDL構造記述
トランジスタ・レベル	トランジスタ回路レベル	トランジスタ回路図 SPICEネットリスト
物理レベル	レイアウト設計	レイアウト図 ストリームデータ

各科目で取り扱う範囲

学期	科目	設計のレベル(表現の抽象度)
修士1年	システムLSI工学	システムレベル(ソフトウェア・ハードウェア協調)
	デジタルエレクトロニクス機能設計	サブ-システムレベル(アナログ・デジタル混載)
4年前期	集積回路設計及び演習	サブ-システムレベル(HDL記述、論理合成、CPU設計)
3年後期	集積回路工学2	サブ-システムレベル(回路シミュレーション実習)
3年前期	集積回路工学1	ゲートレベル・トランジスタレベル(レイアウト設計実習)
	情報システム工学実験2	トランジスタレベル(回路シミュレーション)
2年後期	半導体工学	物理レベル:製造テクノロジーとT-CAD(プロセスシミュレーション)



この講義の予定

- 第1回 : VLSI技術動向 (10/3)
- 第2回 : マイクロプロセッサとDSP (10/17)
- 第3回 : 加算回路(その1) (10/24)
- 第4回 : 加算回路(その2)
- 第5回 : ALU(その1)
- 第6回 : ALU(その2)
- 第7回 : 乗算回路(その1)
- 第8回 : 乗算回路(その2)
- 第9回 : 乗算回路(その3)
- 第10回 : SRAM
- 第11回 : DRAM
- 第12回 : ROM
- +