

集積回路工学第2 期末試験

2008/1/29(火) 08:45~10:15@105(秋田)

※ 自筆ノート・配布プリントのみ持込可。解答はすべて解答用紙に、問題番号とともに導出過程も含めて記述すること。

1. 図1は、マンチェスタ型全加算器の回路図である。図1中の TG はトランスファゲート(転送ゲート)であり、上側の制御端子が 1 のときには左右の端子が接続され、制御端子が 0 のときには左右の端子は切り離される機能を持つ。(20点)

(1) この回路に、図2のような波形の信号を与えたときの、図1中の節点 X, Y、および出力 Sn, Cn の波形を、入力信号の波形とあわせて図示せよ。ただし論理ゲートや配線による遅延は無視し、図2中の変化のタイミング(点線)を明記すること。

(2) インバータ、XORゲート、トランスファゲートの遅延時間を、それぞれ 10[ns], 20[ns], 10[ns]とすると、図1の全加算器の出力 Sn, Cn の遅延時間の、種々の入力のパターンに対する最大値をそれぞれ求めよ。

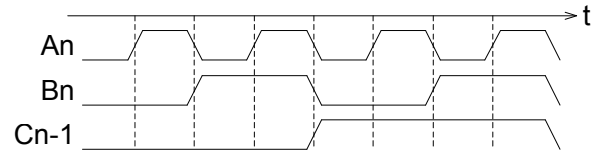
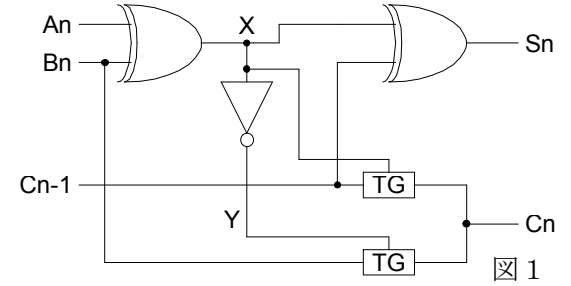


図 2

2. 図3は、DRAM の基本構成を示した回路図である。この回路に対して、図4のような波形の信号を与えたときのデータ線(DL, DLb)の波形を、図4の波形とあわせて、変化のタイミングを示す点線とあわせて図示せよ。ただし初期状態において、C0, C1 はそれぞれ 0, Vdd(電源電圧)に充電されていたとし、また両者の容量は同じでいずれも CDL の 1/10 とする。また図4中の各波形の変化の上端・下端の電圧はそれぞれ 0, Vdd とし、VDP=Vdd/2 とする。(30点)

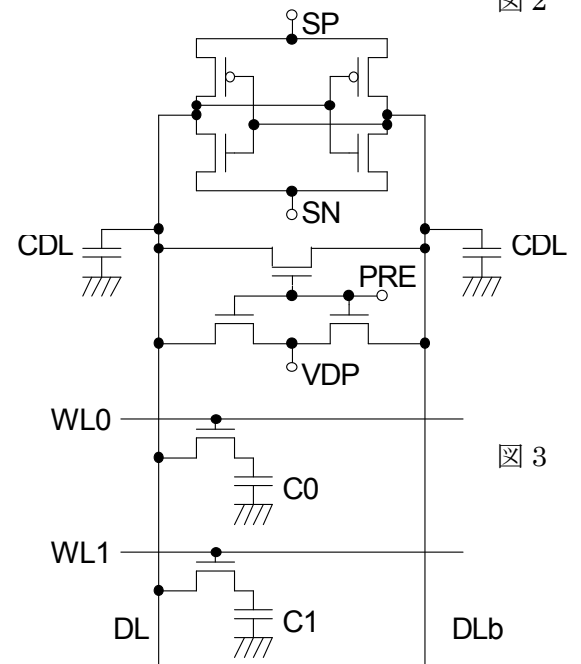


図 3

3. 図5は、位相同期ループ(PLL)を用いた回路である。基準信号の周波数 f_r とするとき、図中の f_p, f_o の周波数を求めよ。ただし図5中の分周器1・分周器2は、それぞれ分周比が $1/N, 1/M$ の分周回路であると、また PLL は定常状態にあるとする。(30点)

4. MOS トランジスタの「スケールリング則」の技術的・社会的・経済的な面について、知るところ、および考えるところを述べよ。(適宜主観を交えても構わない)(10点)

5. この「集積回路工学第2」を通して学んだことが、あなたの普段の生活や今後の進路にどのような関係・影響があったか(またはありそうか)、他の講義やこれまでの講義で学んだこととの関連やあなた自身の感想などを交えて、自由に考えを述べてください。(記述の内容は点数に反映させませんので、思うままに自由に述べてください)(10点)

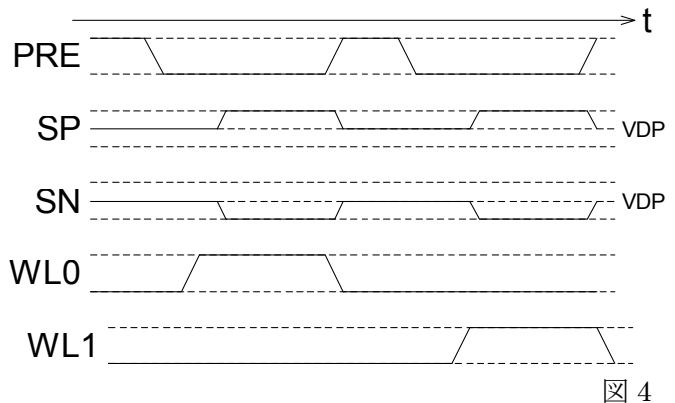


図 4

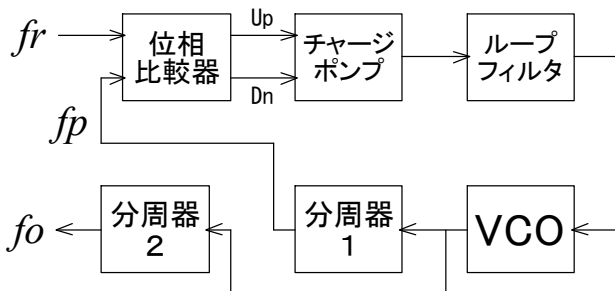


図 5