

集積回路工学第2 第5・6 配布資料

並列乗算回路

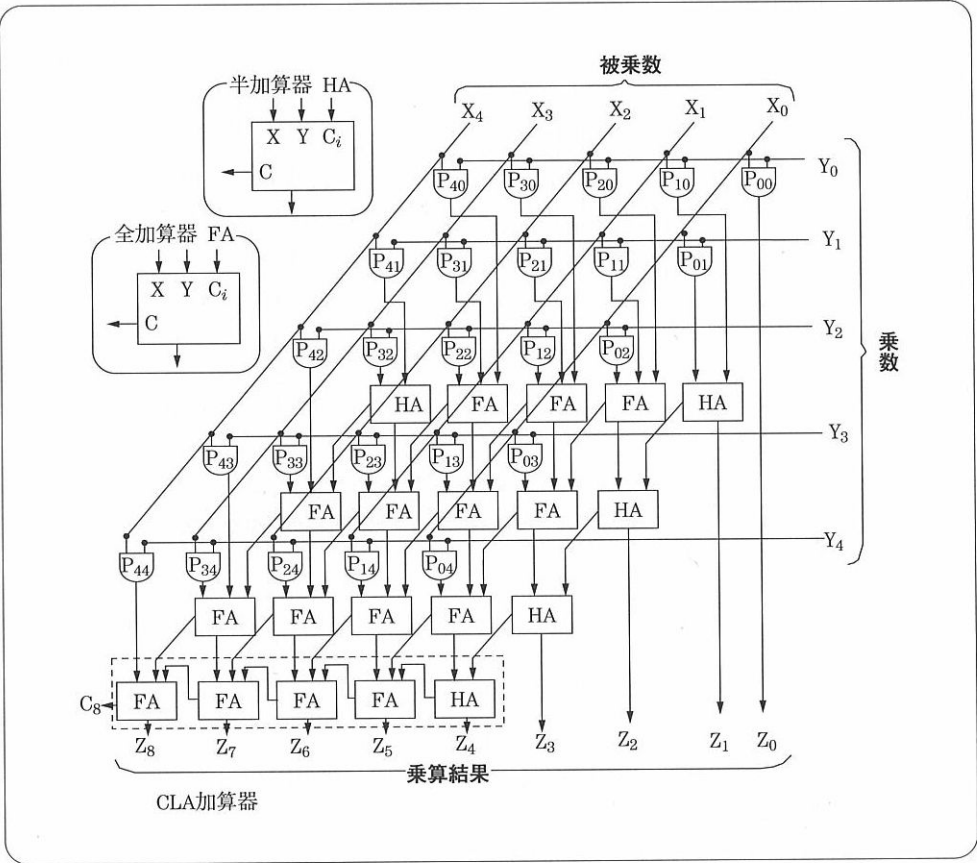


図 4.5 キャリーセーブ型並列乗算回路

(「VLSI 工学・基礎・設計編」(岩田、コロナ社)p.55 より)

ワレスツリー

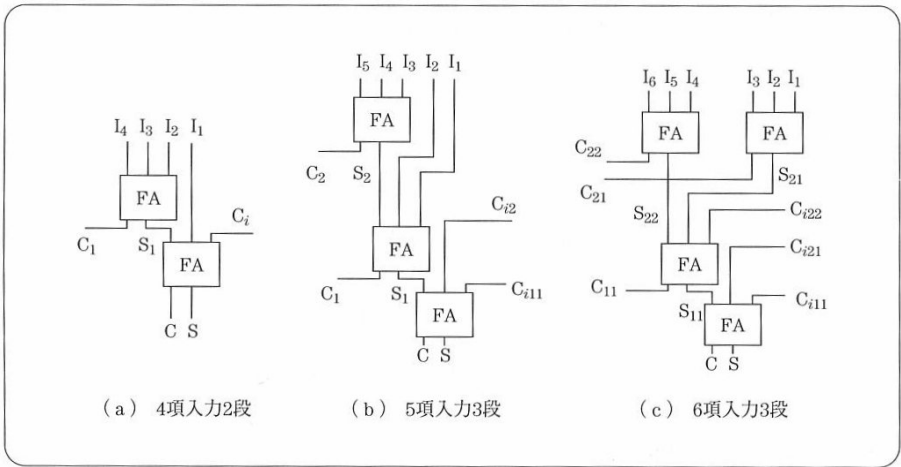


図 4.7 ワレスツリー加算回路

(「VLSI 工学・基礎・設計編」(岩田、コロナ社)p.56 より)

ブースのアルゴリズム

符号付 2 進数の表現

$$X = -1 \cdot x_{N-1} 2^{N-1} + \sum_{n=0}^{N-2} x_n 2^n \text{ (被乗数)}, \quad Y = -1 \cdot y_{N-1} 2^{N-1} + \sum_{n=0}^{N-2} y_n 2^n \text{ (乗数)}$$

(x_i :被乗数の i ビットめ、 y_j :乗数の j ビットめ)

Y_j の定義と Y の表現

$$Y_j = y_{2j} + y_{2j-1} - 2y_{2j+1}, \quad Y = \sum_{j=0}^{(N-2)/2} Y_j 2^{2j}$$

[例] $N = 6$ の場合 ($(N-2)/2 = 2$)

$$\begin{aligned} \sum_{j=0}^2 Y_j 2^{2j} &= Y_0 2^0 + Y_1 2^2 + Y_2 2^4 \\ &= (y_0 + y_{-1} - 2y_1) 2^0 + (y_2 + y_1 - 2y_3) 2^2 + (y_4 + y_3 - 2y_5) 2^4 \\ &= -1 \cdot y_5 2^5 + \sum_{n=0}^4 4y_n 2^n = Y \quad (\text{ただし } y_{-1} = 0 \text{ とする}) \end{aligned}$$

乗算結果 Z の表現と Z_j の定義

$$Z = X \cdot Y = X \sum_{j=0}^{(N-2)/2} Y_j 2^{2j} = \sum_{j=0}^{(N-2)/2} Z_j$$

$$Z_j = X \cdot Y_j 2^{2j} = \left(-1 \cdot x_{N-1} 2^{N-1} + \sum_{n=0}^{N-2} x_n 2^n \right) \cdot (y_{2j} + y_{2j-1} - 2y_{2j+1}) 2^{2j}$$

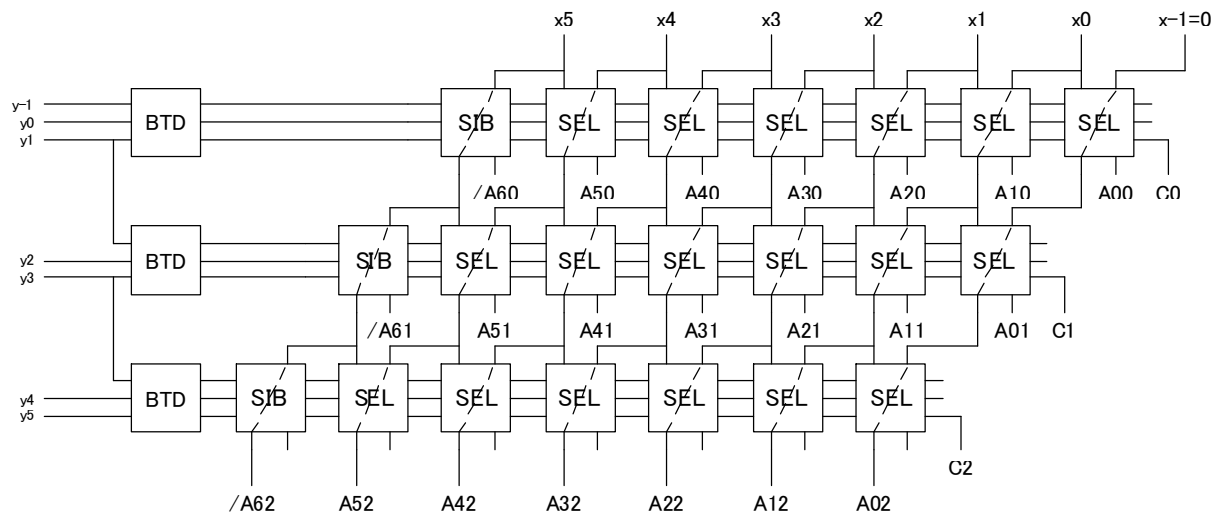
ブースのデコーダ

y_{2j+1}	y_{2j}	y_{2j-1}	Y_j	Z_j	X から Z_j の求め方	A	B	M
0	0	0	0	0	何もしない	0	0	0
0	0	1	1	$X 2^{2j}$	$2j$ ビットシフト	1	0	0
0	1	0	1	$X 2^{2j}$	$2j$ ビットシフト	1	0	0
0	1	1	2	$X 2^{2j+1}$	$(2j+1)$ ビットシフト	0	1	0
1	0	0	-2	$-X 2^{2j+1}$	$(2j+1)$ ビットシフト+2 の補数	0	1	1
1	0	1	-1	$-X 2^{2j}$	$2j$ ビットシフト+2 の補数	1	0	1
1	1	0	-1	$-X 2^{2j}$	$2j$ ビットシフト+2 の補数	1	0	1
1	1	1	0	0	何もしない	0	0	0

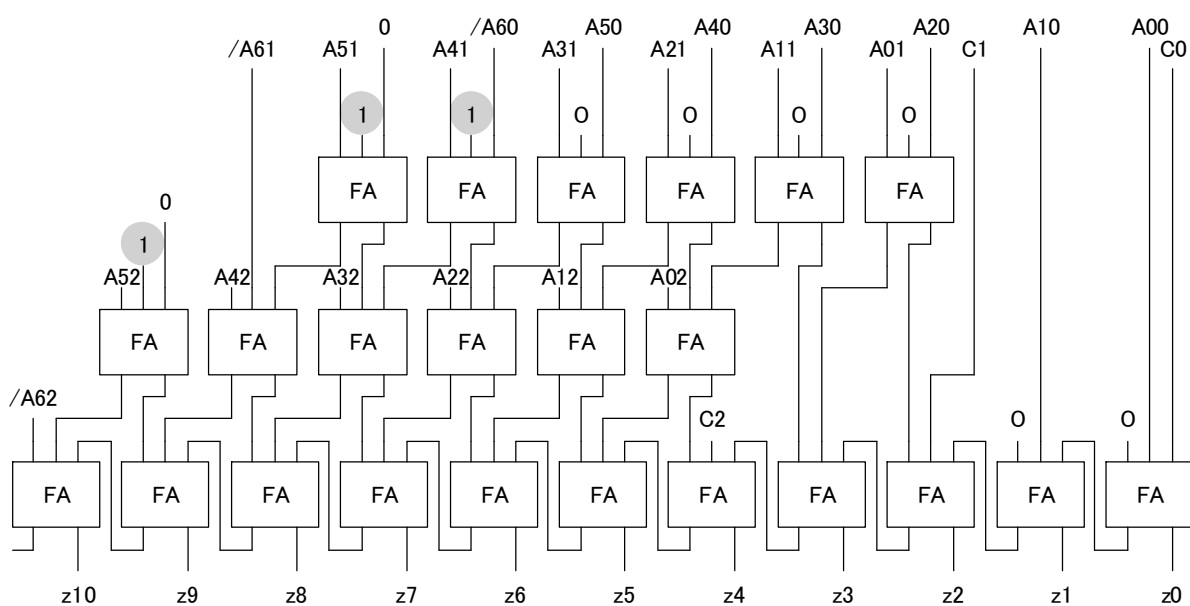
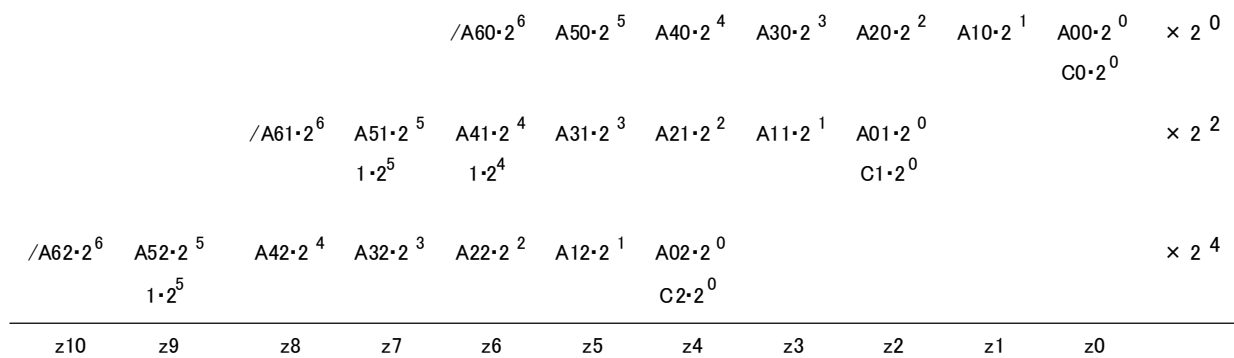
(A : $2j$ ビットシフト, B : $(2j+1)$ ビットシフト, M :2 の補数)

ブースのアルゴリズムを使った乗算器（6ビットの場合）

部分積の生成



部分積の加算



ワレスツリーを使った16ビット乗算器の例

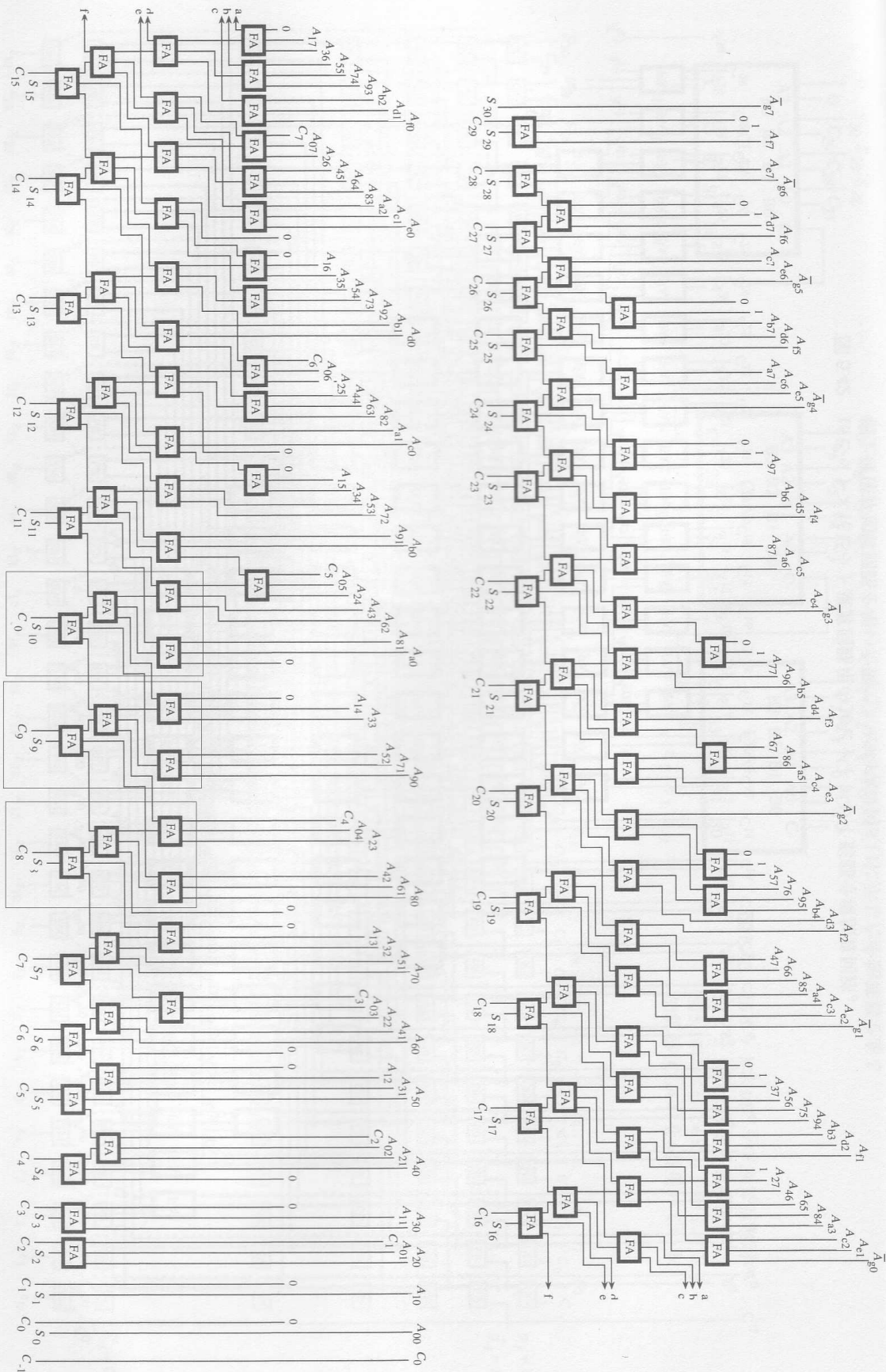


図 5.41 16ビット×16ビット乗算回路用の30ビットツリー形部分積加算回路。
Wallaceの木を用いた例で，セルFAは図5.11に示した全加算器である。