

集積回路工学第2 期末試験

2010/2/2(火) 08:45~10:15@105(秋田)

※ 教科書・自筆ノート・配布プリントのみ持込可。解答はすべて解答用紙に、導出過程も含めて記述すること。

1. トランスファゲート(TG)を用いる全加算器について次の問に答えよ。(30点)

- (1) 図1は、トランスファゲートを用いる XOR ゲートの回路図である。各 MOS トランジスタに対して、それぞれが ON となる入力 (A, B) の組み合わせを、(A, B)=(0, 0), (1, 0), (0, 1), (1, 1) をそれぞれ a, b, c, d という記号を用いて図示せよ。例えば (A, B)=(1, 0) のときと (1, 1) のときに ON となるトランジスタには、「bd」と示すこと。
- (2) 図2の全加算器において、入力から出力への最大遅延時間 t_d と、トランジスタ数 N を求めよ。ただしインバータとトランスファゲートの遅延をそれぞれ t_{INV} , t_{TG} とする。

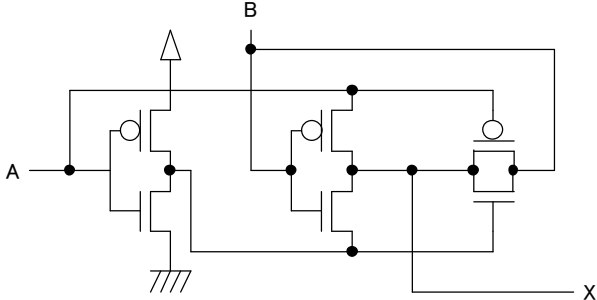


図 1

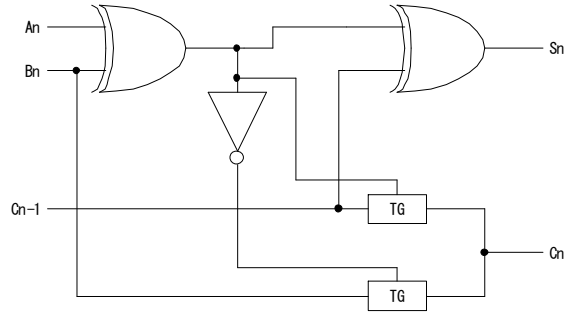


図 2

2. 図3は、DRAM の基本構成を示した回路図である。この回路に対して、図4のような波形の信号を与えたときのデータ線 (DL, DLb) の波形を、変化のタイミングを示す点線と電圧を示す点線 (0, Vdd, VDP を除く) とあわせて図示せよ。また $t=t1$ において C0~C2 のそれぞれに蓄えられている電荷を求めよ。ただし初期状態において C0, C1, C2 はそれぞれ 0, Vdd (電源電圧), 0 に充電されていたとし、またこれら容量は同じでいずれも CDL の 1/10 とする。また図4中の各波形の変化の上端・下端の電圧はそれぞれ 0, Vdd とし、 $VDP=Vdd/2$ とする。(30点)

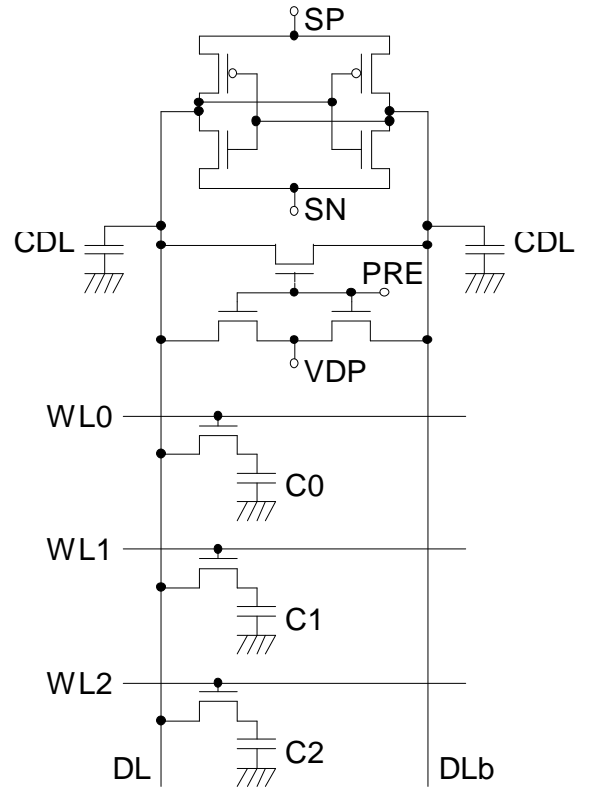


図 3

3. 集積回路での実装に適している回路の例を2つあげ、その特長・理由を述べよ。(20点)

4. MOS トランジスタの「スケールリング則」の技術的・社会的・経済的な面について、知るところ、および考えるところを述べよ。(適宜主観を交えても構わない)(10点)

5. この「集積回路工学第2」を通して学んだことが、あなたの普段の生活や今後の進路にどのような関係・影響があったか(またはありそうか)、他の講義やこれまでの講義で学んだこととの関連やあなた自身の感想などを交えて、自由に考えを述べてください。(記述の内容は点数に反映させませんので、思うままに自由に述べてください)(10点)

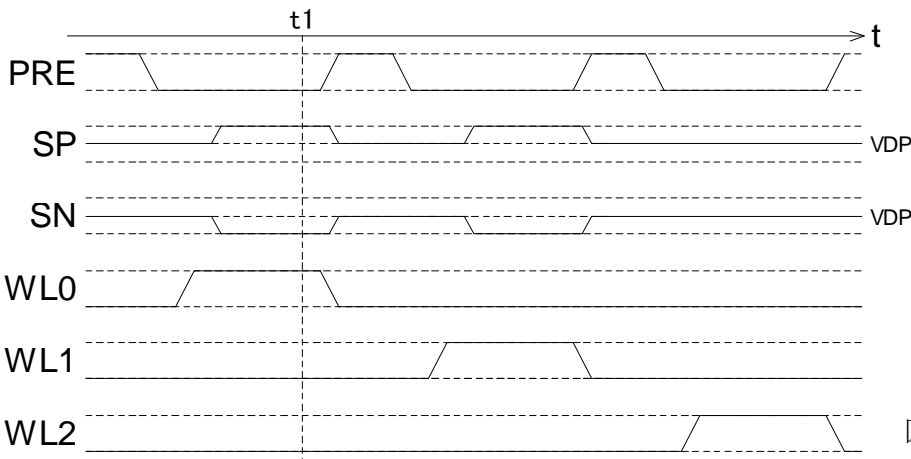


図 4