

※ メモなし講義資料・自筆ノート・書籍のみ持込可。解答はすべて解答用紙に記述すること。

1. 加算器の高速化手法として知られている「桁上げ先見加算器」の原理や特徴を、適宜図や論理式を交えて説明せよ。ただし論理回路図は用いず、以下のキーワードのすべてを必ず用いること。(25点)

「生成項」「伝搬項」「キャリーの伝搬」「実用的なビット数」

2. 図1は2ビット分の DRAM の要素回路である。初期状態において、キャパシタ C_0 、 C_1 はそれぞれ $0[V]$ 、 V_{DD} (電源電圧) に充電または放電されているとする。また C_0 、 C_1 の静電容量はいずれも C_C とし、ビット線 DL、DLb には等しい寄生容量 C_B がつくとする。またプリチャージ期間中は DL、DLb の電圧はいずれも $V_{DP}=V_{DD}/2$ に保たれ、センスアンプの動作は理想的であると仮定する。なお以下の(1)(2)の導出にあたっては導出過程を明記すること。(40点)

(1) プリチャージ後に C_0 が選択された場合の DL の電圧 $V_o^{(0)}$ を求めよ。

(2) プリチャージ後に C_1 が選択された場合の DL の電圧 $V_o^{(1)}$ を求めよ。

(3) この回路に図2のような波形を与えた場合の DL、DLb の波形を図示せよ。ただし PRE と SAA はそれぞれ、プリチャージ動作 ($PRE=V_{DD}$ のとき) とセンスアンプ動作 ($SAA=V_{DD}$ のとき) の信号線とする。また図中で $0[V]$ と V_{DD} 以外の電圧は、その値を明記すること。ただし上で求めた $V_o^{(0)}$ 、 $V_o^{(1)}$ と V_{DP} は用いてよい。

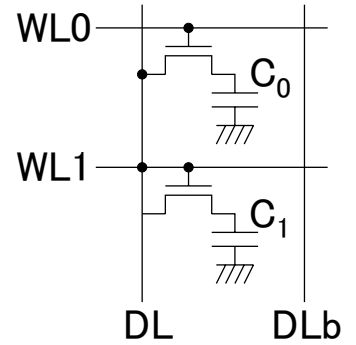


図 1

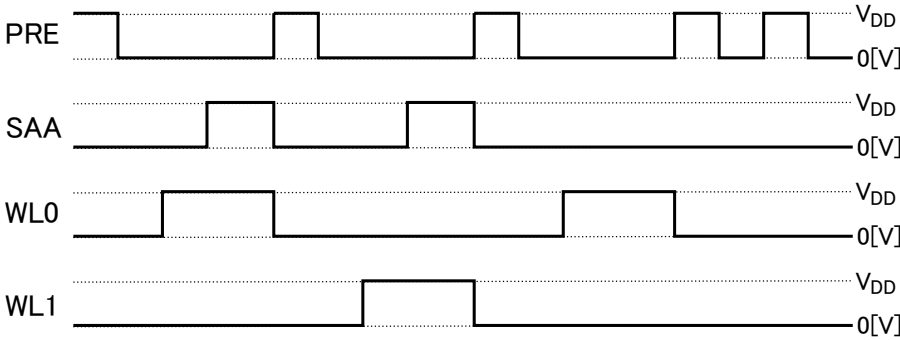


図 2

3. 集積回路での実装に適している回路の例を2つあげ、その特長を述べよ。(10点)

4. 【予告問題】「MOS トランジスタのスケージング則」がもつ技術的・社会的・経済的意義について、あなた自身の観点でまとめてください。もちろん独断が入っても構いません。また適宜図などを交え裏面に記載しても構いません。用紙が不足する場合は A4 版の用紙を追加してください。ただし解答は手書きのみとします。(15点)

5. この「集積回路工学第2」を通して学んだことが、あなたの普段の生活や今後の進路にどのような関係・影響があったか(またはありそうか)、他の講義やこれまでの講義で学んだこととの関連やあなた自身の感想などを交えて、自由に考えを述べてください。(記述の内容は点数に反映させませんので、思うままに自由に述べてください)(10点)