

番号 _____ 氏名 杉田 弘一

1. 次のような VHDL 記述であらわされるステートマシンの状態遷移図を、入出力を「入力値/出力値」の形式で遷移をあらわす矢印に併記して枠内に図示せよ。(20点×2)

```
entity hogel is
  port (
    clk, rst, a: in std_logic;
    q: out std_logic
  );
end hogel;

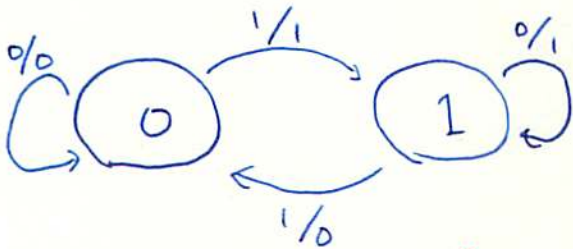
architecture arch of hogel is
  signal st, next_st: std_logic;
begin
  process (rst, clk) begin
    if (rst = '1') then st <= '0';
    elsif (clk'event and clk='1') then
      st <= next_st;
    end if;
  end process;

  process (st, a) begin
    case st is
      when '0' =>
        if (a='0') then next_st <= '0';
        else next_st <= '1'; end if;
      when '1' =>
        if (a='0') then next_st <= '1';
        else next_st <= '0'; end if;
    end case;
  end process;

  q <= st;
end arch;
```

```
entity hoge2 is
  port (
    clk, rst, a: in std_logic;
    q: out std_logic
  );
end hoge2;

architecture arch of hoge2 is
  signal st: std_logic;
begin
  process (rst, clk) begin
    if (rst = '1') then st <= '0';
    elsif (clk'event and clk='1') then
      case st is
        when '0' =>
          if (a='0') then
            st <= '0'; q <= 0;
          else
            st <= '1'; q <= 1;
          end if;
        when '1' =>
          if (a='0') then
            st <= '1'; q <= 1;
          else
            st <= '0'; q <= 0;
          end if;
        end case;
      end if;
    end process;
  end arch;
```



~~入出力の書き方~~ → $\begin{matrix} 1/1 \\ 1/1 \end{matrix}$ 不備
 出力の $\begin{matrix} 0 \\ 1 \end{matrix}$ が逆 → $\begin{pmatrix} 1/0 \\ 1/1 \end{pmatrix}$

← 同じ

2. 次のような VHDL 記述された論理回路の回路図と、図のような入力を与えた場合の出力の波形を示せ。(10点×2)

```
entity hoge3 is
  port (a, b: in_std_logic;
        x: out_std_logic);
end hoge3;

architecture arch of hoge3 is
  signal w0, w1: std_logic
begin
  w0 <= not a; w1 <= not b;
  x <= w0 and w1;
end arch;
```

```
entity hoge4 is
  port (a, b: in_std_logic;
        x: out_std_logic);
end hoge4;

architecture arch of hoge4 is
  signal w0, w1: std_logic
begin
  x <= w0 and w1;
  w0 <= not a; w1 <= not b;
end arch;
```

3. 次の VHDL 記述で現される論理回路を図示せよ。ただし hoge6 は 2 入力 AND ゲートとする。(15点×2)

```
entity hoge5 is
  port (a, b: in_std_logic;
        x: out_std_logic);
end hoge5;

architecture arch of hoge5 is
  component hoge6
    port (a, b: in_std_logic;
          x: out_std_logic);
  end component;
  signal w0, w1: std_logic
begin
  w0 <= not a; w1 <= not b;
  i0:hoge6 port map(a=>w0,b=>w1,x=>x);
end arch;
```

```
entity hoge7 is
  port (a, b: in_std_logic;
        x: out_std_logic);
end hoge7;

architecture arch of hoge7 is
begin
  x <= (not a) and (not b);
end arch;
```

4. この授業を通して学んだことが、あなたの普段の生活や今後の進路にどのような関係・影響があったか(またはありそうか)、他の授業やこれまでの授業で学んだこととの関連やあなた自身の感想などを交えて、自由に考えを述べてください。(記述の内容は点数に反映させませんので、思うままに自由に述べてください)(10点)

基本回路 (15) + d.