

集積回路工学第2 期末試験

2015/2/9(月) 08:45~10:15@105(秋田)

- ※ メモなし講義資料(手書きの書き込みも可)・自筆ノート(自作データの印刷物を含む)・書籍のみ持込可。
- ※ 解答は導出過程を含めてすべて答案用紙に記入すること。

1. 高速な多ビットの加算器の構成として知られている桁上げ先見加算器(Carry Look-ahead adder; CLA)の回路規模と演算速度(遅延時間)について考える。(40点)

(1) 生成項 G_n と伝搬項 Q_n の生成回路の回路規模について考える。論理回路の回路規模を、インバータの回路規模 S と単位とし、入力数 k の論理ゲートの回路規模は、論理ゲートの種類によらず $k \cdot S$ であるとする。また入力数 k の論理ゲートの遅延時間(入力に変化してから出力に変化するまでの時間)は、インバータの遅延時間 T の k 倍であるとする。例えば 2 入力 XOR、3 入力 OR、4 入力 NAND の回路規模は、それぞれ $2S$ 、 $3S$ 、 $4S$ であり、遅延時間はそれぞれ $2T$ 、 $3T$ 、 $4T$ である。また加算数・被加算数の各ビット数(A_i 、 B_i) ($i=0 \sim n-1$) のすべてから j ビット目の生成項と伝搬項(G_j 、 Q_j) を生成する回路を F_j と定義し、その回路規模と遅延時間をそれぞれ S_j 、 T_j とおく。 F_0 の回路図と回路規模 S_0 、遅延時間 T_0 を求めよ。

(2) (1)と同様に、 S_1 、 S_2 、 S_3 を求めよ。

(3) (2)の結果をふまえて、 S_4 、 S_5 を求めよ。

(4) T_1 、 T_2 、 T_3 、 T_4 、 T_5 を求めよ。

2. 図1は4ビット分の DRAM の要素(メモリスルアレイ)回路である。各メモリスルのキャパシタは、最初に図1の通りに放電(電圧 $0V$)または充電(電圧 V_{DD})されているとする。またイコライズ信号 $PRE=1$ とするとデータ線 DL と DLb が $V_{DD}/2$ にイコライズされ、センスアンプ駆動信号 $SA=1$ とするとセンスアンプが動作し、 DL と DLb の電圧が、電圧の高いほうが V_{DD} へ、低いほうが $GND(0V)$ へ速やかに変化するとする。この回路に解答用紙のような波形の信号を与えた場合の DL と DLb の電圧の変化波形を記入せよ。ただし $V_0^{(0)}$ と $V_0^{(1)}$ は、それぞれメモリスルのキャパシタが 0 と V_{DD} に充電されているメモリスルを読み出した時に電荷の再分配が起こった後の DL の電圧とする。(20点)

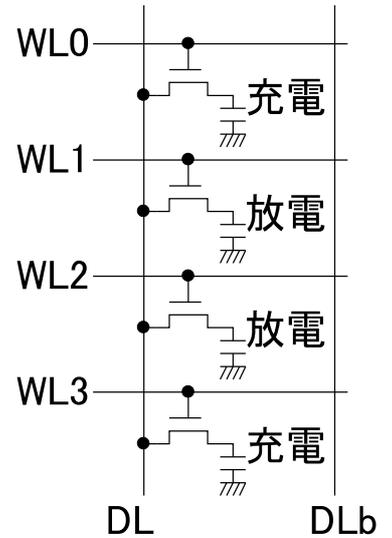


図1

3. マイクロプロセッサの高速化手法の例を1つあげ、その特長を述べよ。(10点)

4. 【予告問題】「MOS トランジスタのスケーリング則」がもつ技術的・社会的・経済的意義について、あなた自身の観点でまとめてください。もちろん独断が入っても構いません。また適宜図などを交え裏面に記載しても構いません。用紙が不足する場合は A4 版の用紙を追加してください。ただし解答は手書きのみとします。(20点)

5. この「集積回路工学第2」を通して学んだことが、あなたの普段の生活や今後の進路にどのような関係・影響があったか(またはありそうか)、他の講義やこれまでの講義で学んだこととの関連やあなた自身の感想などを交えて、自由に考えを述べてください。(記述の内容は点数に反映させませんので、思うままに自由に述べてください)(10点)