

卒業論文

光信号を用いた同期式回路のクロック分配法と 低クロックスキュー受光回路の検討

平成 12 年 2 月 23 日

指導教官 鈴木正國 教授
 北川章夫助教授
 秋田純一助手
 深山正幸助手

提出者 中村公亮

目次

第1章	はじめに	1
1.1	はじめに	1
1.2	本論文の構成	2
第2章	光信号を用いたクロック分配方法	3
2.1	光信号を用いたクロック分配方法の原理	3
2.2	受光回路	6
2.2.1	受光部の検討	6
2.2.2	求められる性能	8
2.2.3	回路構成	9
2.3	光源	19
第3章	受光回路のシミュレーション結果	22
3.1	シミュレーション結果	22
3.2	製造工程でのばらつきの影響	25
3.3	光強度分布のばらつきの影響	26
第4章	まとめ	27
	謝辞	28
	参考文献	29

第1章 はじめに

1.1 はじめに

近年、集積回路技術において動作周波数の向上や微細加工が進歩してきた。それにより小指の爪ほどの大きさにも満たないチップに、何百万、何千万とゆう数のトランジスタを集積する LSI や VLSI が登場した。これらは我々のライフスタイルや産業形態に計り知れないほど影響を与えている。日本で「産業の米」、欧米で「産業の原油」と呼ばれるように、他のテクノロジーの追隨を許さないものがある。

しかしその一方、配線長の増大や配線の複雑化にともなう配線抵抗などによって信号遅延の影響が起こり、その影響によって発生するクロックスキューが問題となっている。図1にクロックスキューの概要を示す。

このクロックスキューがデータ信号の遅延時間より大きくなると、同期式回路が正常に動作しなくなる。このことが今後の更なる動作周波数の向上を妨げる要因となる。その現在の対策法としては配線長を等しくする H-Tree 法(図2参照)があるが、これには負荷容量の見積もりが必要でありクロックスキューの低減にも限界がある。

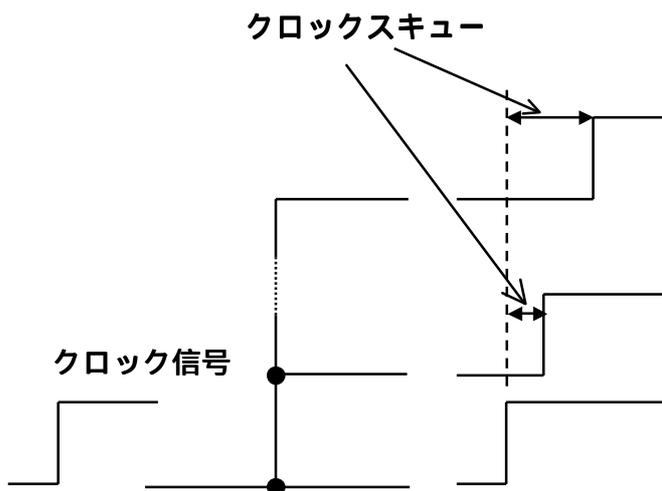


図1 クロックスキュー概略図

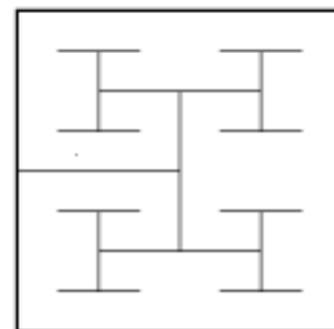


図2 H-Tree法の概略図

1.2 本研究の構成

現在、同期式回路へのクロック分配に電気信号を用いているため信号遅延が大きく、これがクロックスキューとなる。それに比べて光の伝搬速度は非常に速いので、クロック分配に光信号を用いることにより、分配による信号遅延はかなり低減できると考えられる。

そこで本研究は光信号を用いてクロックスキューを低減するクロック分配方法と、そのクロック受光部のための低クロックスキュー受光回路を検討する。

本論文の構成として、第 2 章では光信号を用いたクロック分配方法と題し、その原理、及びこの方法で発生するクロックスキュー、この方法のメリットを述べ、またこの方法を用いるうえでその構成要素となる受光回路や光源について検討する。第 3 章は第 2 章で検討した受光回路を HSPICE でシミュレーションした結果及び考察、第 4 章で本研究を通してのまとめを書く。

第2章 光信号を用いたクロック分配方法

光信号をクロック分配に用いることによりクロックスキューが低減できると考えられる。これはクロック分配による信号遅延を伝播速度が非常に速い光を用いることで低減できると考えられるからである。

光信号を用いたクロック分配方法には、構成要素として光信号を用いてクロックパルスを照射する光源、その得られた光信号を電気信号に変換し、後に接続する回路を駆動するのに十分な電圧まで増幅する受光回路がある。この章では光信号を用いたクロック分配法の原理、受光回路、光源の順に検討する。

2.1 光信号を用いたクロック分配方法の原理

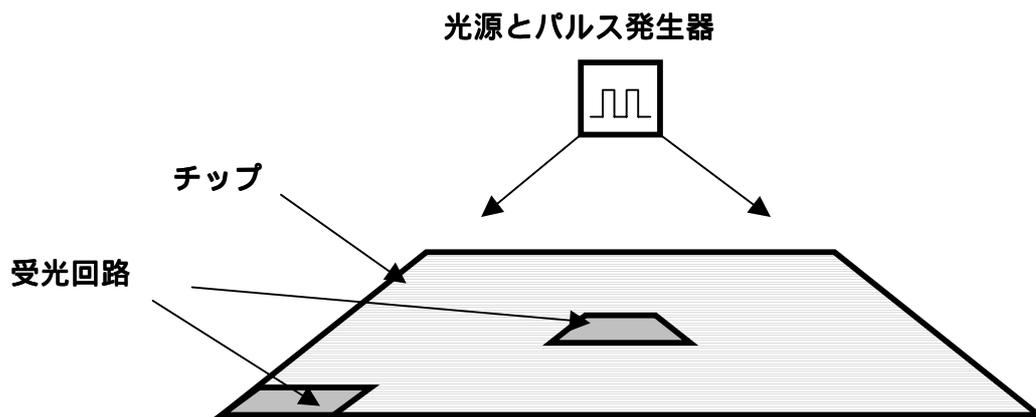


図3 光信号を用いたクロック分配方法の概要図

光信号を用いたクロック分配方法の概要図を図3に示す。構成要素として、クロックパルス発生器を取り付けた光源と、光源の光を受けて後に接続する回路を駆動するのに十分な出力電圧を得る受光回路がある。

分配方法としてまずパルス発生器で変調した光信号をクロックパルスとして照射する。そして光源から発せられた光信号を受光回路の受光部が受ける。そこで光信号は電気信号に変換され、そして変換された受光回路の増幅部で後に続く回路の閾値をまたぐ出力電圧に増幅される。これにより光を照射しないときを論理的に“0”、光を照射したときは“1”となり、後に接続する回路にクロックを分配することができることとなる。

ここで次に、このクロック分配法で考えられるクロックスキューについて検討する。クロックスキューとして考えられるのは、光源の真下にある受光回路と一番遠くにある受光回路への光信号の到達時間の差によるものと、受光回路のタイミング特性のずれによるものが考えられる。このときチップ上にある各受光回路を同時に動作させれば、クロックスキューは光信号の到達時間の差のみとなる。この場合のクロックスキューの値を図4を用いてクロックスキューを算出する。

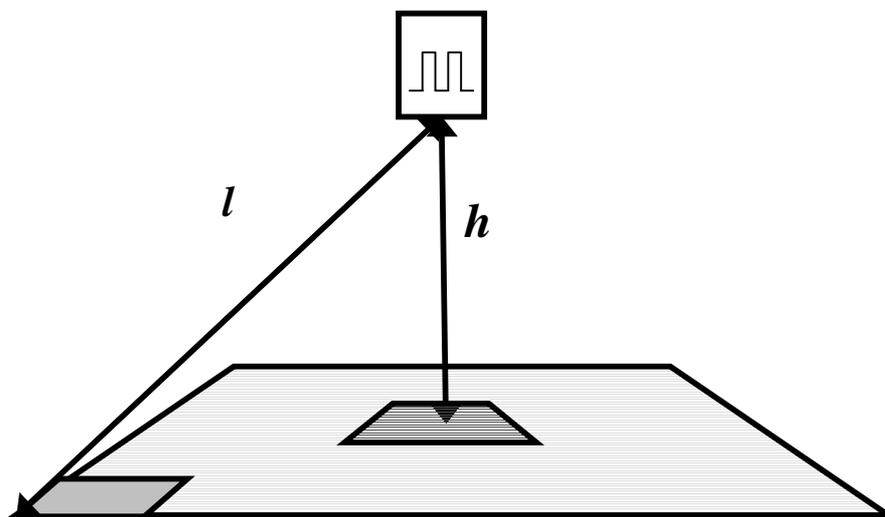


図4 光信号の到達時間の差についての計算図

光信号の到達時間の差が最大となるのは、チップの端にある受光回路とチップの中央にある受光回路との差となる。このときの到達時間の差を T_{max} とすると、

$$T_{max} = \frac{l}{c} - \frac{h}{c} \dots (1)$$

とあらわされる。チップと光源の距離(h)を 1[cm]とすると 1cm 角チップの場合、 T_{max} は 7.5[ps]となる。クロック周波数を 1[GHz]とすると、この場合クロックスキューの割合は 0.75%となる。これより光信号を用いることにより大幅にクロックスキューを低減することができると考えられる。また式(1)より l が大きいほど、チップの面積が小さいほど T_{max} は小さくなることがわかる。

またこのクロック分配法の他のメリットとしては単相クロックの場合、光源 1 つで回路全体にクロックを分配することができることがあげられる。

2.2 受光回路

受光回路は大きく分けて 2 つの構成要素からなる。まず光源からの光信号を電気信号に変換する受光部、そしてその得られた電気信号を後に接続する回路を駆動するのに十分な出力電圧まで増幅する増幅部である。この節では受光部、求められる受光回路の性能、受光回路の回路構成の順で検討をする。

2.2.1 受光部の検討

光信号を電気信号に変換する基本的な受光素子としてフォトダイオードがあげられる。図 5 にフォトダイオードの断面図と動作原理を示す。

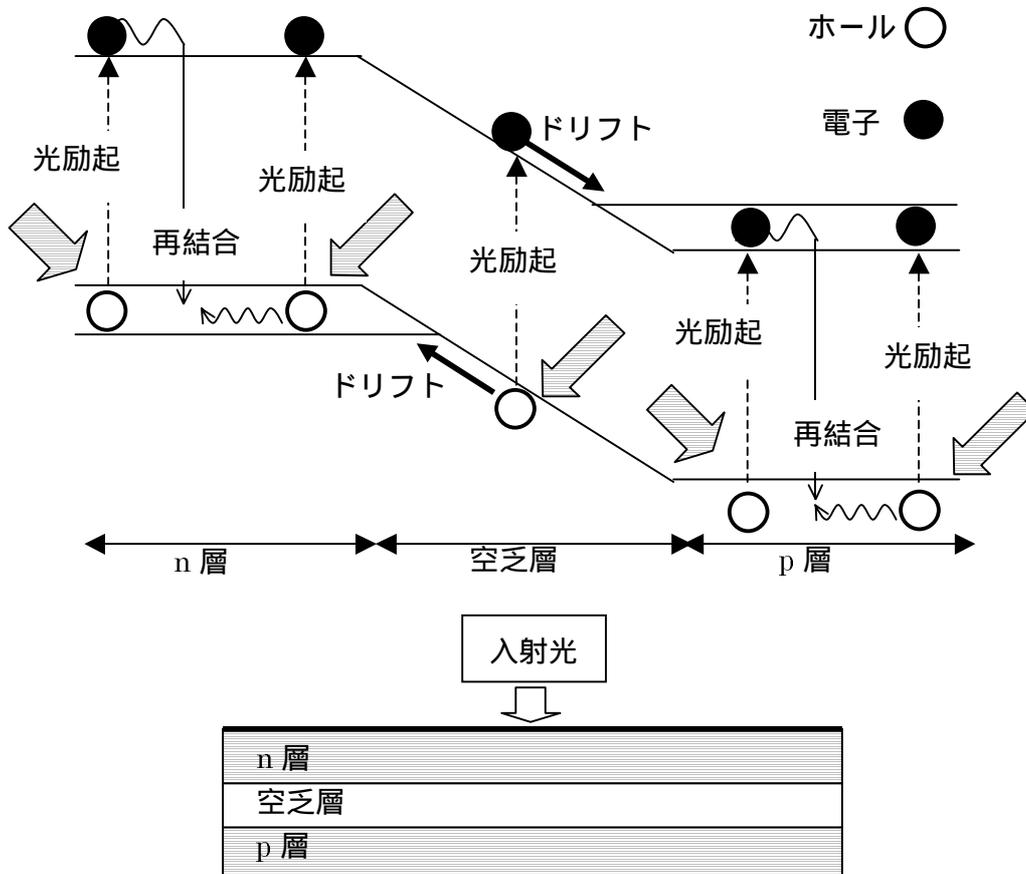


図 5 フォトダイオードの概略図と動作原理

フォトダイオードは、逆バイアスされた pn 接合ダイオードの逆方向電流が光照射によって変化することを利用したものである。光は p 層、空乏層、n 層で吸収され、伝導電子とホールが発生する。空乏層で発生したキャリアは電界に引かれて p 層、n 層に向かって流れる。また、n 層で発生したホールは拡散でその領域内を流れて空乏層に入り、そこでドリフトして p 層に流れ込む。一方、p 層で発生した電子は同じような経過をたどって n 層に流れ込む。これにより光電流が流れる。このとき光は空乏層で大部分が吸収される。

また吸収層を大きくとるものとして、p 層と n 層の間に i 層(真性半導体) を持った p-i-n フォトダイオードがある。特徴としては光吸収層として働く空乏層が大きく、大きな光電流が得られること、空乏層容量が小さく高速動作に適していることである。よって微小電流を増幅し、かつ高速動作を必要とする本研究では、受光回路の受光部には p-i-n フォトダイオードの方が適切である。p-i-n フォトダイオードの断面図を図 6 に示す。

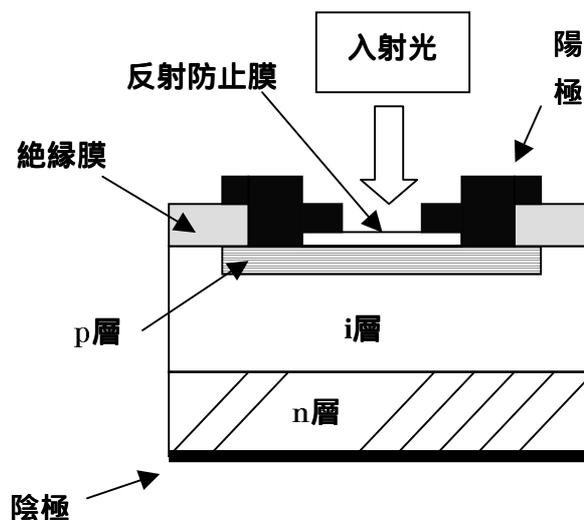


図 6 p-i-n フォトダイオードの断面図

しかし現在、大規模集積システム設計教育研究センター(VDEC)に協賛しているベンダーの CMOS プロセスでは p-i-n フォトダイオードを作ることができない。よってフォトダイオードに比較的大きな逆バイアスをつけることにより、空乏層を広げて光吸収層を大きくし、空乏層容量を小さくすることで p-i-n フォトダイオードの代わりとなるのではないかと考えられる

2.2.2 求められる性能

求められる受光回路の性能としては 2.1 節のクロックスキューのところでも述べたが、各受光回路を同時に動作させるということがまずあげられる。受光回路が同時に動作しない原因として同じ大きさのトランジスタを作ろうとした場合でも、製造工程のばらつきで本来必要としている大きさとは異なるトランジスタができてしまうことが考えられる。この大きさのばらつきはトランジスタの面積に比例せずほぼ一定なので、この影響は面積の小さいトランジスタをつくらうとすればするほど、影響が大きくなることとなる。だが受光回路の性質上トランジスタの面積は小さくしなければならない。よってこの製造工程のばらつきに対応する受光回路が必要となる。

もう1つの求められる性能としては、光源から得られる微小な電流を後に接続する回路を駆動するのに十分なほどの電圧値まで増幅することができることである。これは光があたっているときを論理的に”1”、あたってないときを”0”とするように増幅することで、後に接続する回路にクロックを分配できるようになる。

2.2.3 回路構成

以前検討していた回路を図7に示す。増幅器にはカレントミラーを使用した。また図8はフォトダイオードの等価回路である。

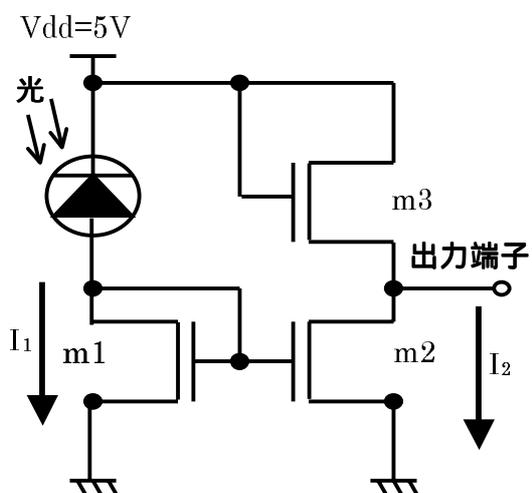


図7 以前検討した受光回路

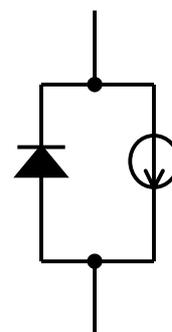


図8 フォトダイオードの等価回路

m1 に流れる電流を I_1 と m2 と m3 に流れる電流を I_2 とする。m1 と m3 のゲート・ソース間電圧が等しいので

$$I_1 = K_{01} \frac{W_1}{L_1} (V_{GS} - V_{th1})^2 \quad \dots (2)$$

$$I_2 = K_{02} \frac{W_2}{L_2} (V_{GS} - V_{th2})^2 \quad \dots (3)$$

となる。ただし K_{01} と K_{02} は単位トランスコンダクタンスであり、キャリアの移動度を μ_1 と μ_2 、ゲート酸化膜容量を C_{ox1} と C_{ox2} とすると

$$K_{01} = \frac{\mu_1 C_{ox1}}{2}$$

$$K_{02} = \frac{\mu_2 C_{ox2}}{2}$$

となる。ここで式(2), (3)において

$$K_{01} = K_{02}$$

$$V_{th1} = V_{th2}$$

が成り立つとすると I_b は

$$I_2 = \frac{W_2}{L_2} \cdot \frac{L_1}{W_1} \cdot I_{a1} \dots (4)$$

よって適切なゲート幅、ゲート長を選ぶことにより、 m_2 と m_3 に光電流より大きな電流を流すことができる。

そこで光が照射されたときと、光が照射されないときの m_2 と m_3 の電圧降下の差を大きくすることにより、端子 b より大きな出力電圧を得る。

しかし図 4 の回路では生成される光電流が小さいために、光が”on”状態と”off”状態の時に出力端子で得られる電圧値の差が小さくなる。よって CMOS インバータで波形整形、増幅を行うと増幅が急峻になるため、製造工程による素子パラメータのばらつきや光強度分布ばらつきには対応できない。

そこで図 9 に示す受光回路を検討した。

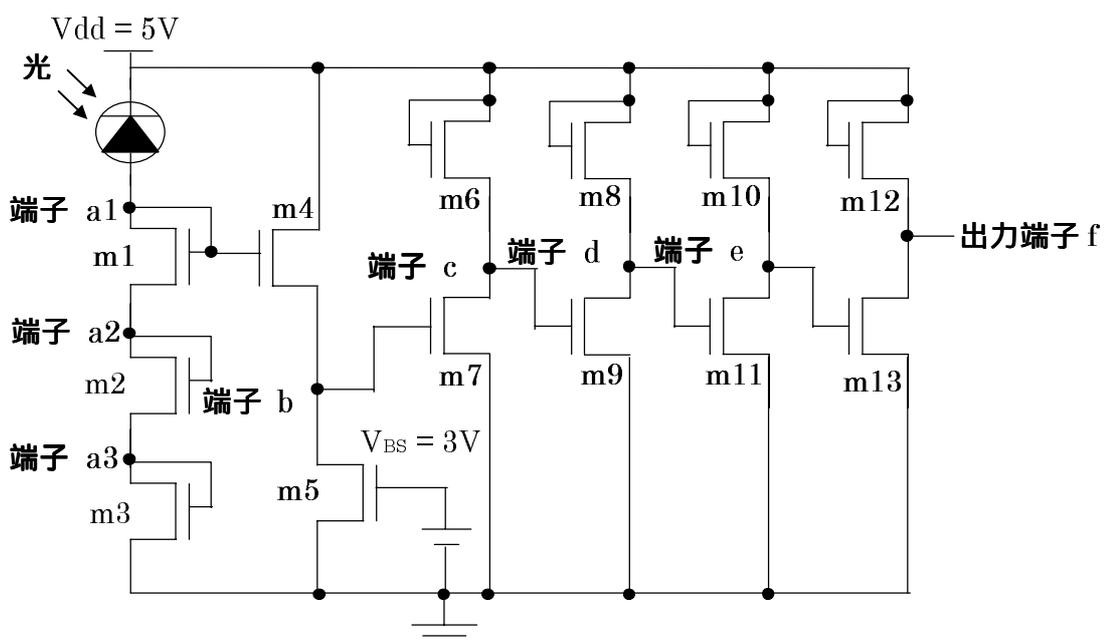


図 9 改良した受光回路

図 9 の回路の原理として、まず m1 から m3 までの n 形 MOS トランジスタが、能動負荷として端子 a1 に電圧 V_{a1} を与える。そして得られた電位を m4 と m5 からなるソースフォロアをバッファとしてもちいる。これは V_{BS} を制御することで、素子パラメータや光強度分布のばらつきに対応するためである。その後 n 形 MOS トランジスタのインバータを 4 段用いて徐々に増幅する。

初めに $m1, m2, m3$ から構成される能動負荷について考察する。

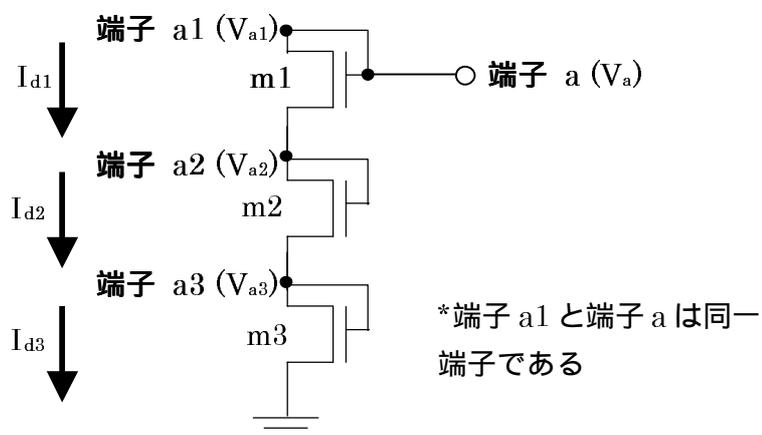


図 10 能動負荷

各トランジスタのドレイン・ソース電流を I_d 、ゲート・ソース電圧を V_{GS} 、閾値電圧を V_{th} 、ゲート幅を W 、ゲート長を L 、単位トランスコンダクタンス係数を K_0 、各端子電圧を V_{a1} 、 V_{a2} 、 V_{a3} 、 V_a とすると I_d は、

$$I_{d1} = K_{0a1} \frac{W_1}{L_1} (V_{GS1} - V_{th1})^2 \quad \dots(5)$$

$$I_{d2} = K_{0a2} \frac{W_2}{L_2} (V_{GS2} - V_{th2})^2 \quad \dots(6)$$

$$I_{d3} = K_{0a3} \frac{W_3}{L_3} (V_{GS3} - V_{th3})^2 \quad \dots(7)$$

となる。また

$$I_a = I_b = I_c \quad \dots(8)$$

$$V_{GS1} = V_{a1} - V_{a2} \quad \dots(9)$$

$$V_{GS2} = V_{a2} - V_{a3} \quad \dots(10)$$

$$V_{GS3} = V_{a3} \quad \dots(11)$$

が成り立つ。そして以下のように分けて V_a を求める。

(1) 光を照射したとき

このときは

$$I_a = I_b = I_c \neq 0 \quad \dots(12)$$

となるので、式(5)から式(12)より

$$V_{GS1} = \sqrt{\frac{I_a}{K_0 \frac{W_1}{L_1}}} \quad \dots(13)$$

$$V_{GS2} = \sqrt{\frac{I_a}{K_0 \frac{W_2}{L_2}}} \quad \dots(14)$$

$$V_{GS3} = \sqrt{\frac{I_a}{K_0 \frac{W_3}{L_3}}} \quad \dots(15)$$

となる。またここで単位トランスコンダクタンスは全て等しいものとした。

式(13)から式(15)より V_a は

$$\begin{aligned} V_a &= V_{GS1} + V_{GS2} + V_{GS3} \\ &= \sqrt{\frac{I_a}{K_0}} \cdot \left(\frac{1}{\sqrt{\frac{W_1}{L_1}}} + \frac{1}{\sqrt{\frac{W_2}{L_2}}} + \frac{1}{\sqrt{\frac{W_3}{L_3}}} \right) + V_{th1} + V_{th2} + V_{th3} \quad \dots \end{aligned}$$

(16)

となる。

(2)光を照射しないとき

このときは

$$I_a = I_b = I_c = 0 \quad \dots(17)$$

となるので式(5)から式(11)、そして式(17)より

$$V_{BS1} = V_{th1} \quad \dots(18)$$

$$V_{BS2} = V_{th2} \quad \dots(19)$$

$$V_{BS3} = V_{th3} \quad \dots(20)$$

となる。よって V_a は

$$V_a = V_{GS1} + V_{GS2} + V_{GS3} = V_{th1} + V_{th1} + V_{th1} \quad \dots(21)$$

となる。

よって式(17)と式(21)より端子 a での振幅の幅 V_a は

$$V_a = \sqrt{\frac{I_a}{K_0}} \cdot \left(\frac{1}{\sqrt{\frac{W_1}{L_1}}} + \frac{1}{\sqrt{\frac{W_2}{L_2}}} + \frac{1}{\sqrt{\frac{W_3}{L_3}}} \right) \quad \dots(22)$$

となるので、 m_1, m_2, m_3 のトランジスタの $\frac{W}{L}$ を小さく設定することで、より大きな振幅が得られることがわかる。

次に m4 と m5 からなるソースフォロアについて考察する。

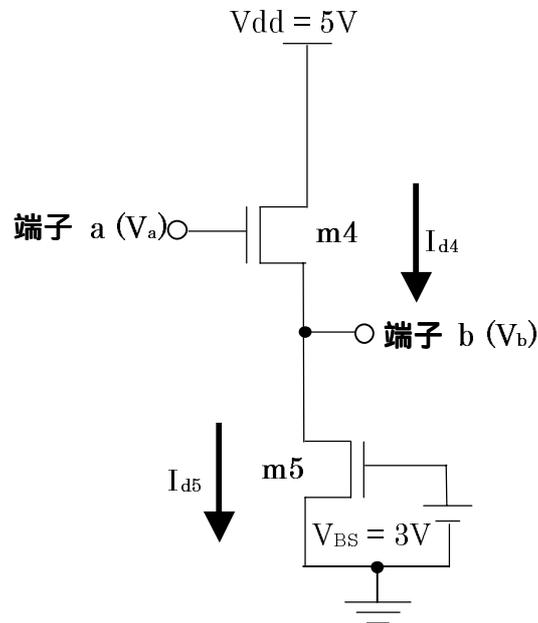


図 11 ソースフォロワ

m3、m4 でのドレイン電流 I_d は

$$I_{d4} = K_{04} \frac{W_4}{L_4} (V_a - V_b - V_{th4})^2 \quad \dots(23)$$

$$I_{d5} = K_{05} \frac{W_5}{L_5} (V_{BS} - V_{th5})^2 \quad \dots(24)$$

となる。ここで

$$K_{04} = K_{05} = K_0$$

$$V_{th4} = V_{th5} = V_{th}$$

とすると、この2つのトランジスタに流れる電流は等しいので

$$K_0 \frac{W_4}{L_4} (V_a - V_b - V_{th})^2 = K_0 \frac{W_5}{L_5} (V_{BS} - V_{th})^2$$

$$\sqrt{\frac{W_4}{L_4}} \cdot (V_a - V_b - V_{th}) = \sqrt{\frac{W_5}{L_5}} \cdot (V_{BS} - V_{th}) \dots (25)$$

となる。式(3-3)より V_b は

$$\begin{aligned} V_b &= V_a - V_{th} - \frac{\sqrt{\frac{W_5}{L_5}}}{\sqrt{\frac{W_4}{L_4}}} \cdot (V_{BS} - V_{th}) \\ &= V_a + \left(\frac{\sqrt{\frac{W_5}{L_5}}}{\sqrt{\frac{W_4}{L_4}}} - 1 \right) \cdot V_{th} - \frac{\sqrt{\frac{W_5}{L_5}}}{\sqrt{\frac{W_4}{L_4}}} \cdot V_{BS} \dots (26) \end{aligned}$$

となる。ソースフォロワの入出力特性を図9に示す。

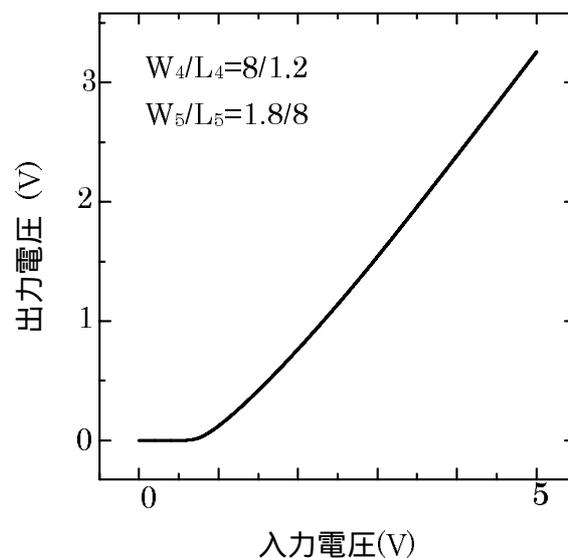


図12 ソースフォロワの入出力特性

最後に n 形 MOS トランジスタのインバータを用いた増幅器について考察する。

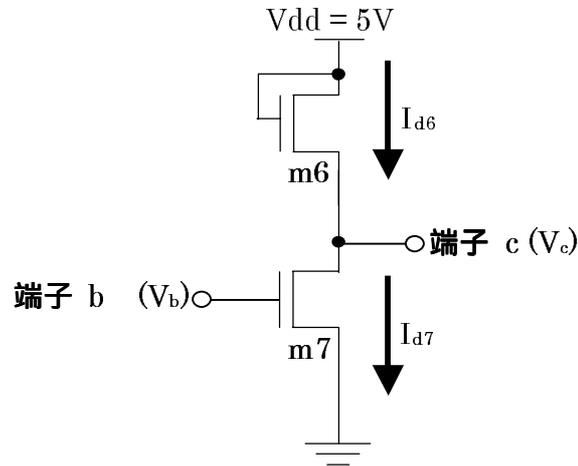


図 13 n 形 MOS トランジスタのインバータ

m6、m7 が飽和領域で動作しているものとする。そのとき各トランジスタにながれる電流 I_d は

$$I_{d6} = K_{06} \frac{W_6}{L_6} (V_{dd} - V_c - V_{th6})^2 \quad \dots(27)$$

$$I_{d7} = K_{07} \frac{W_7}{L_7} (V_b - V_{th6})^2 \quad \dots(28)$$

となり V_c と V_d が等しければ、また I_{d6} と I_{d7} には

$$I_{d6} = I_{d7}$$

が成り立つので、

$$K_{06} \frac{W_6}{L_6} (V_{dd} - V_c - V_{th6})^2 = K_{07} \frac{W_7}{L_7} (V_b - V_{th6})^2$$

$$\sqrt{\frac{W_6}{L_6}} \cdot (V_{dd} - V_c - V_{th6}) = \sqrt{\frac{W_7}{L_7}} \cdot (V_b - V_{th6}) \quad \dots(29)$$

よって式(29)より V_c は

$$V_c = V_{dd} - V_{th} - \frac{\sqrt{\frac{W_7}{L_7}}}{\sqrt{\frac{W_6}{L_6}}} \cdot (V_b - V_{th})$$

$$= V_{dd} + \underbrace{\left(\frac{\sqrt{\frac{W_7}{L_7}}}{\sqrt{\frac{W_6}{L_6}}} - 1 \right)}_{\text{切片}} \cdot V_{th} - \underbrace{\frac{\sqrt{\frac{W_7}{L_7}}}{\sqrt{\frac{W_6}{L_6}}}}_{\text{傾き}} \cdot V_b \quad \dots(30)$$

切片

傾き

となる。式(31)より $\frac{W_7}{L_7}$ を大きく、 $\frac{W_6}{L_6}$ を小さくすれば増幅が急峻になり、逆ならば増幅が緩やかになることがわかる。下に n 形 MOS トランジスタのインバータの入出力特性を示す。

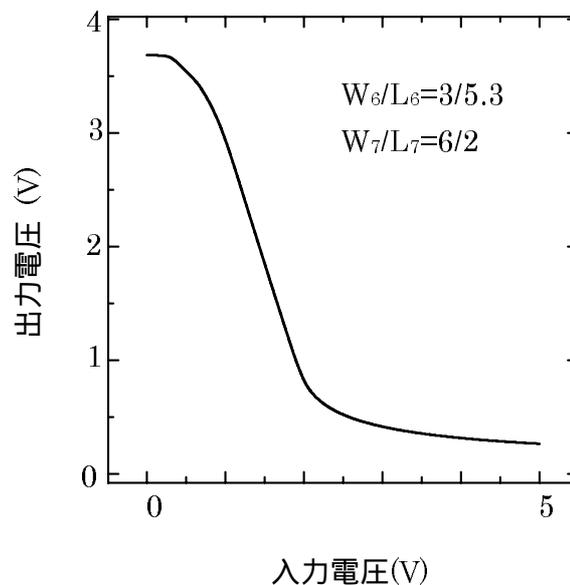


図 14 n 形 MOS トランジスタのインバータの入出力特性

レーザ発振の原理として、励起を増やしていくと誘導放出の割合が増す。すなわち、光の増幅利得が増幅する。増幅媒体は、ダブルヘテロ接合の狭いバンド・ギャップ層である。広いバンド・ギャップ層をもつ n 形および p 形クラック層から、それぞれ電子およびホールが注入され、活性層内に閉じ込められる。よってわずかな電流で高い注入キャリア密度、すなわち高い利得が得られる。

光源のもうひとつの求められる性能として、チップ上の決められた位置にある受光回路に、適切な光電流を供給することがあげられる。しかし光源から照射された光は、ある広がり角をもって照射される。ここで、光源とチップの距離を L、光源の幅を D、光の波長を λ とすると

$$L \gg \frac{D^2}{\lambda}$$

が成り立つときフラウンホーファ回折が適用できる。いま光源の電界分布を $g(x_0, y_0)$ を

$$g(x_0, y_0) = \begin{cases} A(\text{定数}) & \dots \quad |x_0| \leq \frac{a}{2}, \quad |y_0| \leq \frac{b}{2} \\ 0 & \dots \quad \text{上記以外} \end{cases}$$

とすると、フラウンホーファ回折の振幅分布を $E(x_1, y_1)$ は

$$E(x_1, y_1) = AabK_0 \cdot \exp\left(-jK \frac{x_1^2 + y_1^2}{2L}\right) \cdot \frac{\sin\left(\frac{ax_1}{L}\right)}{\frac{ax_1}{L}} \cdot \frac{\sin\left(\frac{by_1}{L}\right)}{\frac{by_1}{L}} \quad \dots(31)$$

となる。このとき光強度分布 I は $I = |E|^2$ となるので式(31)より

$$I = a^2 b^2 A^2 K_0^2 \cdot \text{sinc}^2\left(\frac{ax_1}{L}\right) \cdot \text{sinc}^2\left(\frac{by_1}{L}\right) \quad \dots(32)$$

これより広がり角は

$$x = \frac{L}{a}, \quad y = \frac{L}{b} \quad \dots(33)$$

となる。

式(33)より求められた広がり角を低減するための方法として、光源にレンズを取り付けるという方法があげられる。レンズを取り付けることにより広がり角を抑え、チップ上の決められた位置にある受光部近傍だけに光を照射し、適切な光電流を供給できると考えられる。

第3章 受光回路のシミュレーション結果

今回検討した受光回路について HSPICE を用いてシミュレーションを行った。また製造工程での影響による素子パラメータのばらつきや、光源の光強度分布のばらつきによる影響を考慮したときのシミュレーションも行った。

3.1 シミュレーション結果

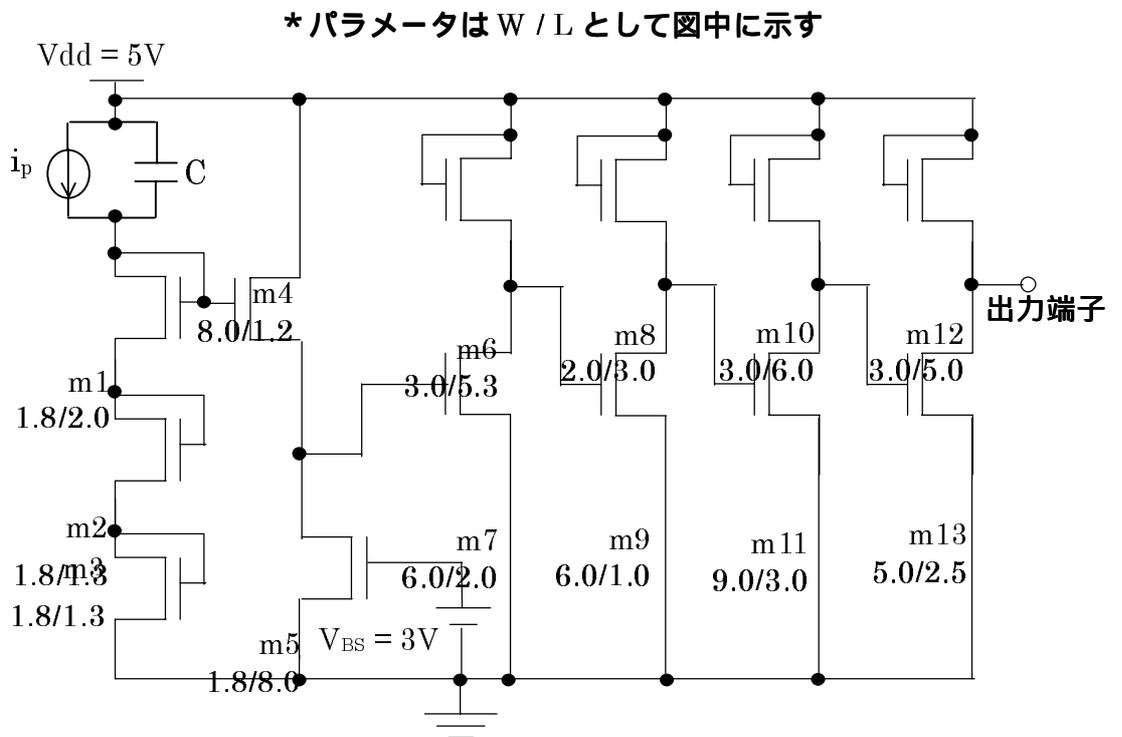


図 16 受光回路の等価回路

今回検討した受光回路の等価回路を図 16 に示す。フォトダイオードの光電流の電流値を $0.5[\mu\text{A}]$ 、周波数を $50[\text{MHz}]$ 、空乏層容量を $1.57[\text{fF}]$ とした。また

各トランジスタのゲート幅、ゲート長を図 12 中に示す。

上記の条件でシミュレーションした結果を図 17 に示す。

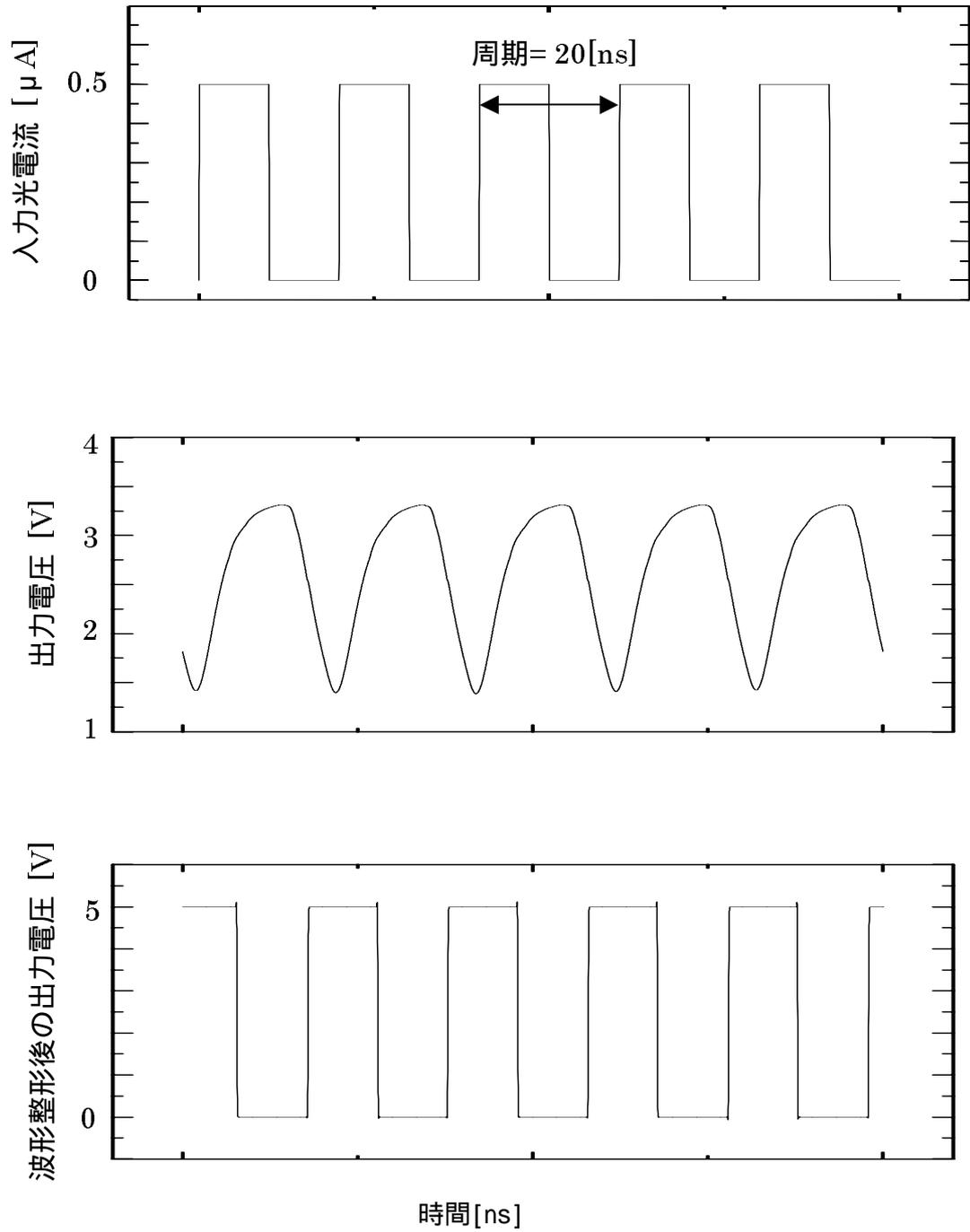


図 17 受光回路の過渡応答特性

図 16 におけるトランジスタのパラメータの設定法について述べる。受光回路には高速動作が求められるため、ゲート幅やゲート長をできるだけ小さくしなければならない。しかし後述するように製造工程でのばらつきに対応するにはある程度これらを大きくしなければならない。よってこれらのことをもとにゲート幅、ゲート長の最小の値より順にシミュレーションすることにより最適の値を設定した。

シミュレーションの結果から図 16 の出力端子から 1.9[V]の振幅を得ることができていることがわかる。またこの得られた出力電圧を矩形整形するために CMOS インバータを用いて波形整形をおこなったものが図 17(下)の特性となる。

この図と入力光電流の特性図をくらべると、入力光電流に比べてトランジスタのスイッチング時間がある分多少遅延が発生しているが、光信号の”on”状態、”off”状態に対応した出力電圧を得られていることがわかる。本研究では受光回路によって生じるクロックスキューを検討しているので、光入力電流より送れていても全ての回路が同時に動作すればよい。よって、光を照射したときを論理的に”1”、照射しないときを”0”とすることにより後に接続する回路にクロックを分配できることがわかる。

3.2 製造工程でのばらつきの影響

集積回路上で素子を実現するプロセスの加工精度の限界が、素子の特性を偏差させる要因となっている。これはMOSトランジスタのゲート幅、ゲート長などの誤差の主な原因となっている。このような誤差は、加工精度の限界に起因するため、ゲート長やゲート幅には依存しない。誤差の値はばらつくものの、ある一定の範囲にあると考えられるので、ゲート幅やゲート長を大きくすることにより相対的な誤差を減らすことができる。しかしMOSトランジスタのサイズが大きくなるとトランジスタの容量が大きくなってしまいうので、微小な信号で充放電を行うには時間がかかってしまう。よって受光回路は製造工程でのばらつきの影響がなく、かつサイズを小さくしなければならない。

そこで今回、受光回路に外部端子を備えたソースフォロアを用いた。素子パラメータのずれを、外部端子を適切な値に設定することで低減する。

図 18 にゲート幅、ゲート長を $0.01[\mu\text{m}]$ ずらしたときの特性を示す。また図 18 の a) は波形整形後の出力電圧の立ち上がり特性、b) は立下り特性である。

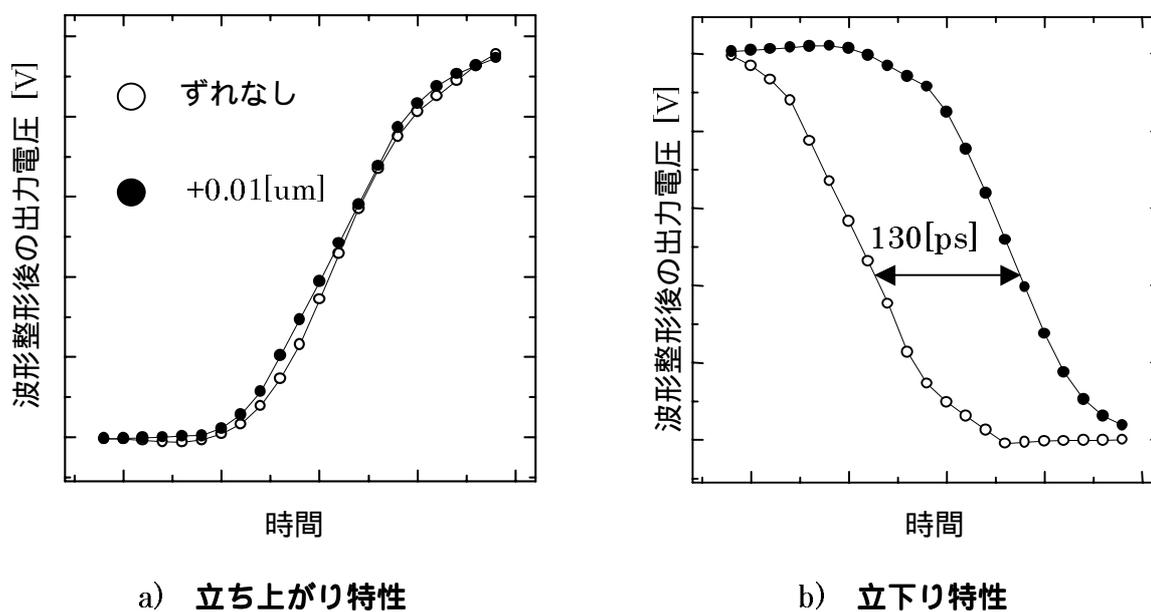


図 18 製造工程でのばらつきにおける出力電圧のタイミング特性

図 18 よりタイミング特性のずれは $130[\text{ps}]$ であることがわかる。今回光電流の周波数を $50[\text{MHz}]$ としたので、ずれの割合は 0.65% である。よって今回設計した受光回路は製造工程でのばらつきの影響に対応できるものであった。

3.3 光強度分布のばらつきの影響

2章でも述べたように、光源からの光は広がり角をもっていて、光強度分布がばらつくことが考えられる。図19に光強度分布のばらつきの影響による出力電圧のタイミング特性を示す。光電流を $0.41[\mu\text{A}]$ としたときのソースフォロワの外部端子 V_{BS} を $2.65[\text{V}]$ 、光電流を $0.4[\mu\text{A}]$ としたときの V_{BS} を $2.61[\text{V}]$ と設定した。また図19のa)は波形整形後の出力電圧の立ち上がり特性、b)は立ち下り特性である。

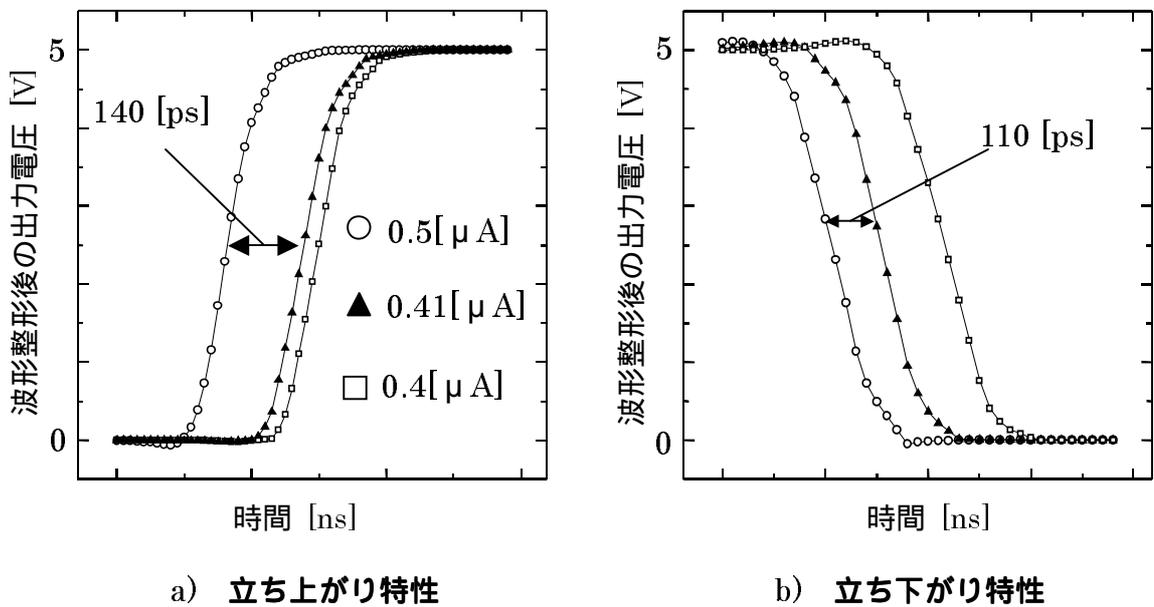


図19 光強度分布のばらつきにおける出力電圧のタイミング特性

図19より光強度分布の影響によるタイミング特性のずれを $100[\text{ps}]$ 程度とする場合、光強度分布のずれがもたらす光電流の値を $0.41[\mu\text{A}]$ 以上とすることが必要である。光強度分布はガウス分布になることが知られている。よって光電流が $0.41[\mu\text{A}]$ 以上となる光強度を用いることが必要である。

第4章 まとめ

本研究では、光信号を用いた同期式回路のクロック分配法と、その低クロックスキュー受光回路について検討した。また受光回路については HSPICE を用いてシミュレーションを行った。これらの結果から、今回検討した受光回路は光信号の”オン”状態、”オフ”状態に対応した電圧値が得られることがわかった。また製造工程でのばらつきによる影響による素子パラメータのずれを $0.01[\mu\text{m}]$ と仮定したとき、今回検討した受光回路はこれに対応するものであった。光強度分布のばらつきに対応するには、光電流のばらつきを $0.41[\mu\text{A}]$ 以上にするものが求められることがわかった。

2章の仮定でも用いた、 1cm 角チップから 1cm の高さにある光源により光信号をクロックパルスとして照射したとすると、クロックスキューは $100[\text{ps}]$ 程度となる。よって光信号を用いたクロック分配法を用いることにより、クロックスキューを大幅に低減できると考えられる。

謝辞

本研究を行うにあたり、指導教官としてご指導いただきました故 鈴木 正國 教授、北川 章夫 助教授、秋田 純一 助手、深山正幸助手に深く感謝いたします。私生活面、研究室行事などでお世話になった柿本芳雄技官に深く感謝いたします。

共同研究者として研究、及び学生生活においてご指導、ご協力いただいた、博士過程前期 1 回生の藤田隼人さんに深く感謝いたします。また研究、及び学生生活においてご指導、ご協力いただいた、博士過程前期 2 回生の小川明宏さん、高瀬信二さん、中橋憲彦さん、早川史人さん、博士過程前期 1 回生の今井豊さん、数馬晋吾さん、藤田隼人さん、水野浩樹さん、渡辺 晃さんに深く感謝いたします。そして、研究室生活をよりよく、有意義なものにいただいた、笠井稔彦くん、佐々木勝光くん、大門慎治くん、高松直樹くん、辻川隆俊くん、遠山治くん、蓮達弘くん、水木誠くん、に深く感謝いたします。

最後に昨年 12 月 24 日に逝去された故 鈴木 正國 教授には研究面や私生活面で、ご指導、ご協力いただきました。ここで深く感謝するとともに、ご冥福をお祈りします。

どうもありがとうございました。

参考文献

- (1) 高木茂孝 著 MOS アナログ電子回路
- (2) 電子情報通信学会 編 半導体デバイス
- (3) 岸野正剛 著 半導体デバイスの基礎