

半導体産業におけるスケーリング則

浅田研究室博士課程3年 57105 秋田 純一

1 概要

「1974年に R.H.Dennard らによって提案された、いわゆる“スケーリング則”[1]は、素子の微細化によって集積回路の高性能化が可能であることを示すものであり、その後の集積回路技術の進むべき方向の指標となった。」— この件は、浅田研の学生による輪講資料をはじめ、集積回路に関する文献で非常にしばしば目にする表現である。

本輪講では、この“スケーリング則”の意義について、集積回路技術の歩んできた道に与えた影響という意味での技術的側面と、いまや全世界で10兆円規模の産業に成長した半導体産業の成長に与えた影響という意味での経済的側面の双方から考えていきたい。

2 半導体産業とスケーリング則 — 技術的側面

本節ではまずスケーリング則のもつ技術的意義について、その効能、実際の傾向およびさまざまな要因による限界について考える。

2.1 スケーリング則とは

図1のような MOSFET をスイッチ素子と考えた場合、信号はソース領域からドレイン領域へチャネル領域を通して伝わる。ならば、このチャネルの長さを短くすればスイッチング時間が短くなるのではないか — これがスケーリング則の発想である。R.H.Dennard らによって最初に提案されたスケーリング則[1]は、デバイス構造内の電界を一定にしたまま寸法を縮小するものであり、デバイス寸法と電源電圧を $1/k$ 倍、不純物密度を k 倍にすると表1のようにたとえばスイッチング速度は $1/k$ 倍、消費電力は $1/k^2$ 倍となり、集積度は k^2 倍となることが導かれる。すなわち、素子の微細化によって速度、集積度、消費電力のいずれも性能が向上することを示しているため、その後の半導体技術の高性能化の道として微細化の道を明示したことになった。

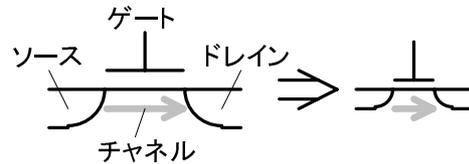


図1: MOSFET のスケーリング

表1: 理想的なスケーリングによる各変数の変化

| パラメータ | スケーリング係数 |
|-----------|----------|
| 電流 | $1/k$ |
| 容量 | $1/k$ |
| 回路遅延 | $1/k$ |
| 消費電力 | $1/k^2$ |
| 電力密度 | 1 |
| 抵抗 | k |
| 配線による電圧降下 | k |
| 配線遅延 | 1 |
| 配線の電流密度 | k |

2.2 現実のスケーリング

以上のような利点をもつスケーリング則にもとづき、実際に図2のように微細化が進んできた。また図3のように3年で容量が4倍というペースで大容量化が進んできた DRAM では、製品としての採算性はともかくとして、予定通り1997年には4Gビットのものが学会発表されている。[3]しかし、スケーリング則が半導体産業界で用いられていく過程にはいろいろな問題があった。まず電源電圧は、長らくTTLレベルの+5Vが標準として用いられてきたため、スケーリング則で仮定している電源電圧の $1/k$ 倍低減が実現されないままデバイス寸法のみが $1/k$ 倍に縮小されていった。この状態では電界強度が k 倍となるため、キャリア速度の飽和やホットキャリアによるデバイス劣化等の問題が顕在化してくることになり[4]、このため標準電源電圧の+5Vから+3Vへの移行を促すこととなった。また前述のホットキャリアの問題の解決策として、ゲート長が $0.25\mu\text{m}$ 程度

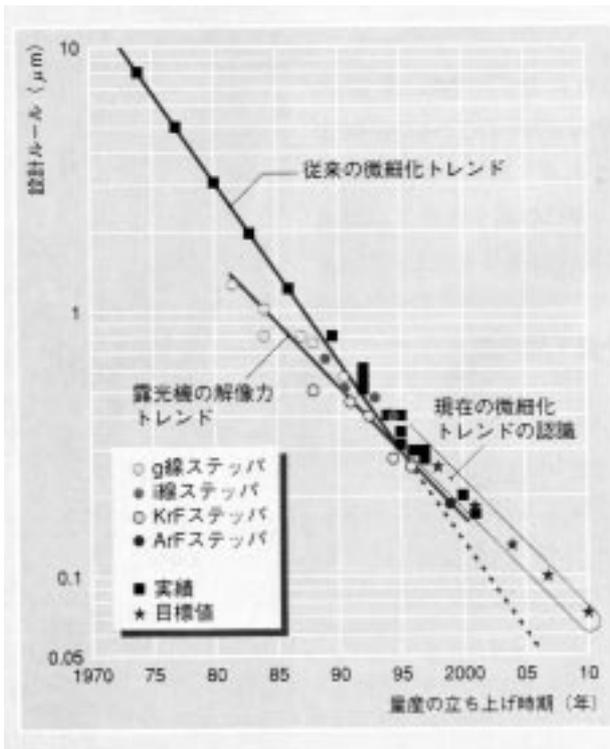


図 2: 素子の微細化の歴史 [2]

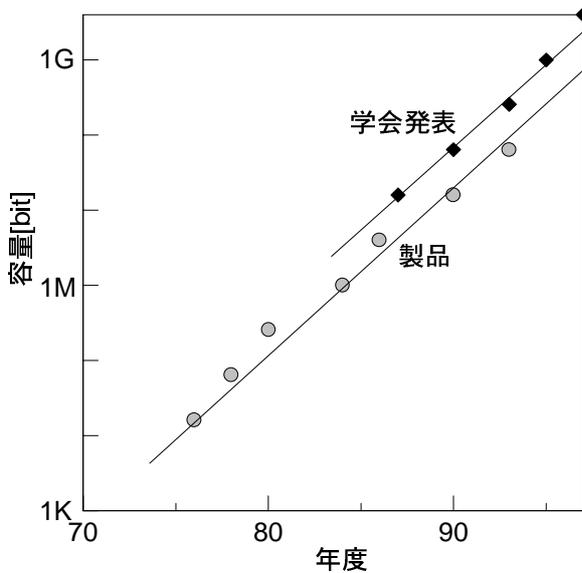


図 3: DRAM の大容量化の歴史

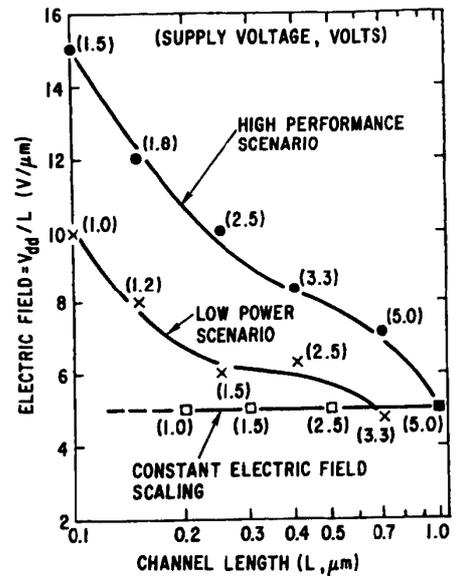


Fig. 4. A measure of the electric field, V_{DD}/L , as a function of channel length for various scaling scenarios.

図 4: 速度、消費電力重視のスケールによる電界強度の変化 [5]

の MOSFET からはドレイン部分の不純物密度を低くして電界集中を避ける LDD (Lightly Doped Drain) 構造が一般的に用いられているが、ドレイン部分の拡散抵抗が大きくなるためにトランジスタのスイッチング速度が低下してしまうという問題がある。

これらの問題を考慮し、最適な電源電圧やデバイス構造についての指針を示す、一般化されたスケール則についても多くの研究と提案がされている。[6, 7, 8, 5, 9, 10] 例えば図 4 のようにスイッチング速度の向上と消費電力の低減のそれぞれを重視するスケール則を、用途に応じて使い分けることも必要となる。また実際には素子の非線形性などのために表 1 ほどは単純にスケールされないため、微細化された素子のためのモデルも提案されている。[11, 12, 13, 14]

スケール則による素子の微細化で問題となるもう一つの点として、MOSFET のしきい値 V_t の問題がある。理想的なスケール則によれば V_t も電源電圧とともに $1/k$ とする必要があるが、MOSFET がスイッチとしてオフとなる領域 (サブスレッショルド領域) では、ドレイン電流はゲート電圧に対して指数関数的に変化する。この特性は、ドレイン電流を 1 桁変化するのに必要なゲート電圧である S パラメータで表されるが、この値はスケールされず、標準で 80mV/dec (室温) 程度である。つまり V_t を 80mV 低くすることに

表 2: 今後 10 年のスケーリング指針の例 [5]

| | -1990 | 1992 | 1995 | 1998 | 2001 | 2004 |
|--------------------------|-------|------|------|------|-------|-------|
| 電源電圧 [V] | | | | | | |
| 速度重視 | 5 | 5 | 3.3 | 2.5 | 1.5 | 1.2 |
| 電力重視 | - | 3.3 | 2.5 | 1.5 | 1.0 | 1.0 |
| チャンネル長 [μm] | 0.9 | 0.6 | 0.35 | 0.2 | 0.1 | 0.07 |
| 酸化膜厚 [nm] | 23 | 15 | 9 | 6 | 3.5 | 2.5 |
| 集積密度 | 1.0 | 2.5 | 6.3 | 12.8 | 25 | 48 |
| 速度 (相対値) | | | | | | |
| 速度重視 | 1.0 | 1.4 | 2.7 | 4.2 | 7.2 | 9.6 |
| 電力重視 | - | 1.0 | 2.0 | 3.2 | 4.5 | 7.2 |
| 機能あたりの消費電力 (相対値) | | | | | | |
| 速度重視 | 1.0 | 0.9 | 0.47 | 0.29 | 0.12 | 0.077 |
| 電力重視 | - | 0.27 | 0.20 | 0.08 | 0.036 | 0.041 |
| 面積あたりの消費電力 (相対値) | | | | | | |
| 速度重視 | 1.0 | 2.25 | 3.0 | 3.7 | 3.12 | 3.7 |
| 電力重視 | - | 0.7 | 1.25 | 1.02 | 0.90 | 1.97 |

オフ時のドレイン電流 (これは回路全体のオフ時のもれ電流となる) が 10 倍となることになり、電池動作を前提とする携帯端末用途のように特に低消費電力が要求される分野では深刻な問題となる。これに対する解決策としては、回路部分ごとに複数のしきい値を使い分けたり、基板やウエルのバイアスを動的に制御することで V_t の変動を低減できる手法も提案されている。[15]

以上のような点に留意しながら微細化を進める結果、表 2 のような効果が得られることが試算され、2004 年にはチャンネル長が $0.07\mu\text{m}$ のトランジスタを用いて 48 倍の集積度を実現でき、速度重視の電源電圧 1.2V では 9.6 倍の速度で 3.7 倍の消費電力、低消費電力重視の 1.0V では 7.2 倍の速度で 1.97 倍の消費電力を実現できることが期待される。ただし各年度については、素子の微細化が現在のペースで進んだと仮定した場合のものであり、後述のように技術的および経済的な要因で微細化が遅れる場合は、全体的に遅れていくことは十分に考えられる。

また、このようにスケーリングを進める場合は、配線遅延の問題も特に動作速度の点で顕在化してくる。表 1 のスケーリング則からも明かなように、理想的なスケーリングでは配線遅延は低減されないため、相対的に配線遅延の影響が大きくなることになる。そこで図 5 のように、長い配線では配線を太くするといった配線遅延の影響を低くする配線方法や配線材料も重要となってくる。

なおスケーリングによる微細化によって効果があるのは CMOS 論理回路やメモリだけでなく、イ

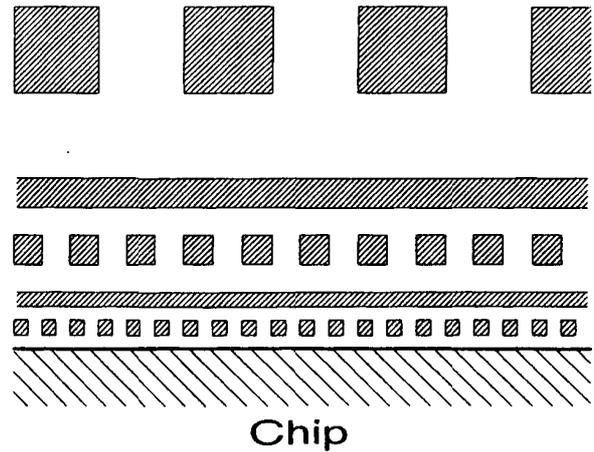


Fig. 12. Example of wiring scheme needed by future high-performance processors to minimize delays due to wire resistance. Three x - y wiring planes are shown in cross section.

図 5: 配線遅延を考慮した金属配線の断面 [5]

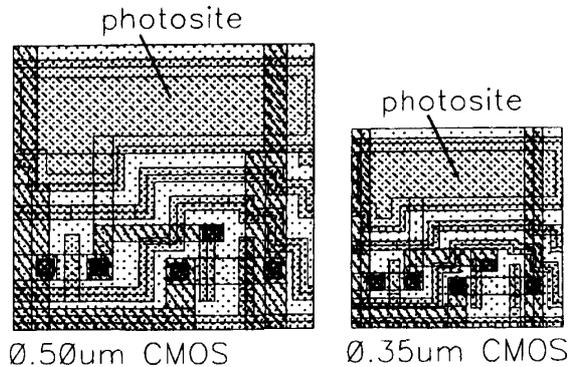


Fig. 2. Example layout for a $0.5\mu\text{m}$ technology ($10\mu\text{m}$ pixel) and $0.35\mu\text{m}$ technology ($7\mu\text{m}$ pixel).

図 6: APS の画素におけるスケーリングの効果

メージセンサの分野でもさまざまな利点がうまれる。[16] フォトダイオードの信号を画素ごとにもつ増幅回路で増幅し、それを外部へ読み出す APS (Active Pixel Sensor) と呼ばれるイメージセンサでは、画素ごとに増幅回路をもつために開口率が低くなるのが避けられない。しかし増幅回路部分の面積はスケーリングによって小さくできるため、図 6 のように画素の面積が一定であれば相対的に開口率を高くでき、また逆に開口率が一定であれば画素面積を小さくして高解像度化が可能となる。

2.3 スケーリングの限界

以上のようなさまざまな工夫によって、スケーリング則に従った微細化と、それによる高性能化が進められるが、それによって種々の問題が予想され、古くから非常に多くの議論がされている。

[17, 18, 19, 20, 21, 22]

その原因として、まず根本となる微細加工技術の問題がある。通常、集積回路のパターン描画にはリソグラフィが用いられているが、その光源は素子の微細化に従って水銀ランプの g 線 (436nm) から i 線 (365nm) へと短波長化してきた。しかし 0.5 μm 以下の加工には、さらに波長の短い深紫外線や KrF, ArF レーザ、更には X 線による露光、およびそれらに対応する感光材料も必要となってきた。[17]あるいは波長を短くしやすい電子線による描画も考えられるが、一括露光が可能な光リソグラフィに比べて生産性が大幅に低くなるため、量産ラインでの採用はまだ先のこととなるであろう。もちろんリソグラフィの問題以外にも、膜堆積方法やエッチング方法など解決すべき問題は多い。しかし工程数や材料数の増大という問題はあつたものの、新しい材料や工程の開発によって 0.01 μm 程度までは加工技術のめどはたちつつある。[2]

微細化の他の問題として、ゲート酸化膜が薄くなることによるトンネリングがある。ゲート酸化膜が 3nm 程度になると、ゲート酸化膜を通してトンネル電流が流れるようになり、MOSFET としての動作が難しくなると考えられる。しかしこのトンネル電流はゲート電極の面積に比例するため、非常にチャネル長の短いトランジスタでは動作が確認できた例もある。[23]他にも、高電界によるホットキャリアや高い電流密度からくる素子の長期的な信頼性の問題 [24] や、不純物密度のばらつきによるしきい値のばらつきの問題 [25] などがある。いずれも重要な問題であるが、テスト方法の確立等によって、ゲート長が 0.09 μm 程度までは解決できるめどがたちそうである。これらの困難をふまえ、試験的にはあるがゲート長が 0.1 μm 以下の MOSFET が試作され、期待された特性を示すことが報告されている。[26, 27]

3 半導体産業とスケールリング則 — 経済的側面

前節では、スケールリング則のもつ技術的側面についてまとめ、チャネル長が 0.1 μm 程度までは性能向上が見込まれ、作成上の問題もほぼ解決できそうであることがわかった。本節では、スケールリング則による微細化が半導体産業に及ぼした影響について、主に経済的側面から考える。

表 3: スケールリングによるマイクロプロセッサの性能向上の例



| | | | |
|----------------|-------------------|-------------------|--------------------|
| 動作周波数 | 66MHz | 100MHz | 133MHz |
| プロセス | 0.8 μm | 0.6 μm | 0.35 μm |
| 電源電圧 | 5.0V | 3.3V | 3.3V |
| チップ面積 (相対値) | 1.00 | 0.46 | 0.22 |
| 性能 (iCOMP) | 567 | 1000 | 1110 |

3.1 スケールリングによる経済的利点

理想的であれ、そうでなけれ、スケールリング則に基づく微細化は、半導体産業としては素子の高速化による高性能化、集積度向上による機能単価の低減、大規模システムのワンチップ化といった利点をもたらしてきた。その端的な例としてマイクロプロセッサやメモリ素子では、最初の製品の後で、同一回路で製造プロセスのみを微細化した製品 (シュリンク版やカットオフ版) が市場に投入されることが多い。例えば Intel の例では、Pentium という同一のアーキテクチャのまま、シュリンクによって表 3 のように性能向上が実現されてきた。[28]

DRAM に代表されるメモリ素子でもスケールリングによって集積度が向上し、機能単価 (メモリの場合はビット単価) の低減が継続的に実現されてきた。この DRAM の価格についてはいくつかの分析や予測がある。[29, 30, 31, 32] 「経験的に各世代 (容量が 4 倍の製品) と同チップあたり 1.57 ドル ($\approx \pi/2$ ドル) となる」という、いわゆる π ルール [30] が知られていたが、1M ビット品以降はむしろ「チップ価格が前世代品の倍になる」という、いわゆるバイ・ルール [31] の方が、製造コストを含めた試算からも実情にあっているとされている。

図 7 に示すこれまでの DRAM 価格の統計によれば、継続的なスケールリングによってビット単価が低下することでユーザ側にとって利益があるだけでなく、チップの面積あたりの単価が上昇していることと、チップ面積自体が各世代で約 1.15 倍になる [33] ことからメーカ側にも利益があるという、ユーザ、メーカ相益の半導体産業の特異な構図が浮かび上がってくる。

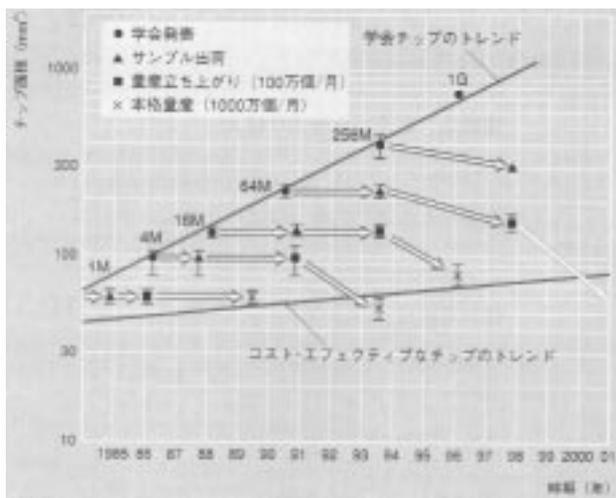
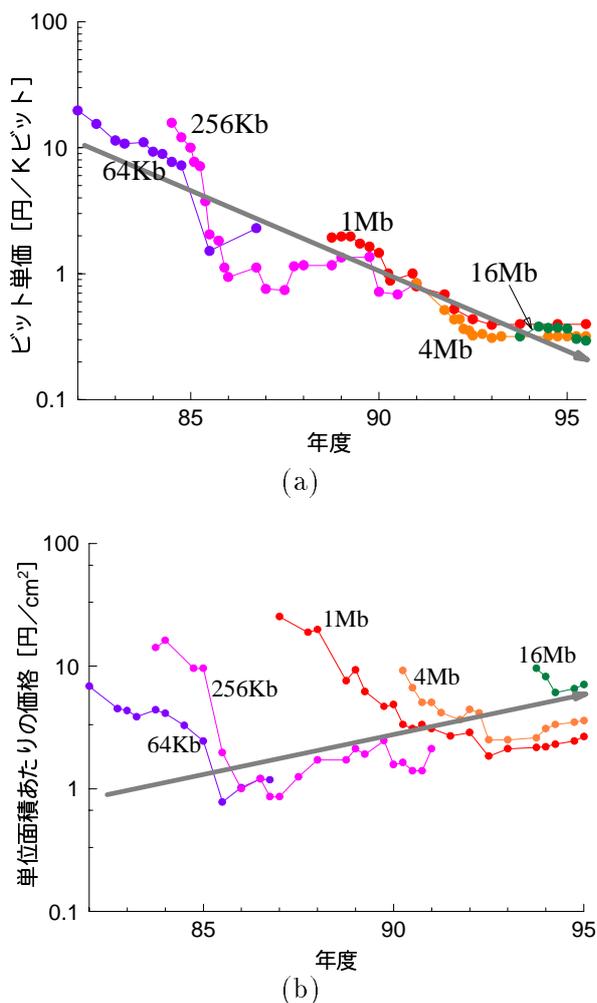


図 7: DRAM のビット単価 (a) とチップの面積あたりの価格 (b)、チップ面積 (c) の統計

この DRAM の面積と価格の予測についてもう少し詳しく触れておくと、量産品における DRAM のチップ面積の増加分については大きく分けて世代ごとに 1.25 倍とする考え方と、各世代でチップ面積はほぼ一定とする考え方がある。[33]

前者の場合は、チップ面積の増加をウエハの大口径化 (1.4 ~ 1.26 倍 / 世代) によって補うことでウエハあたりのチップ取得数をほぼ一定に保つ。ウエハあたりの製造コストは、加工技術の開発費や工程数の増大を含めて約 1.5 倍 / 世代であるので、ウエハあたりのチップ取得数が一定であればビット単価は $1.5/4 = 0.38$ 倍 / 世代 = 0.72 倍 / 年と、過去 20 年の平均ビット単価下落率 (0.75 倍 / 年) と同等に保つことができる。

後者の場合は、DRAM の最も大きな市場であるパソコンにおいて、その価格に占めるメモリの価格の割合ををほぼ一定に保つことを目標としている [34] が、そのためには十分な微細加工技術が必要なために DRAM の量産開始時期が予定よりも多少遅れることは避けられない。

なお 1996 年の DRAM の総ビット需要は前年から 1.79 倍増えて 2.31×10^{16} ビットとなり、1995 年の伸び率 1.72 を上回った。[35] このように DRAM 産業を支える需要の方も、順調に伸びているように見える。(もっともこれは外挿にすぎないので、詳細な分析が必要だが。)

3.2 「スケーリング」の「トレンド」

前述のように、半導体産業にはスケーリングによって、ユーザ、メーカの双方に利益があるという特異な性質がある。またそれによって過去 20 年以上にもわたって年平均 25% という驚異的な成長をとげてきたわけであるが、このことは同時に「スケーリングとそれによる利点が永久に続いていく」という、いわゆる「スケーリング神話」「トレンド神話」という信仰を産業界に生むこととなったことを否定できない。[36, 37, 38]

実際、例えば図 8(a) の DRAM の世代交代予測や図 8(b) のマイクロプロセッサの高性能化の予測、図 8(c) の世界の半導体市場成長の予測 [39, 40, 41, 42] など、従来の変化をほとんどそのまま外挿しただけの予測が平然とおこなわれてきた。これらの予測が何の疑いもなく受け入れられたのは、少なくとも過去 20 年間は、外挿だけの予測が現実となってきたという半導体産業の特殊事情もあるであろう。

しかし順調にみえた DRAM の世代交代も、

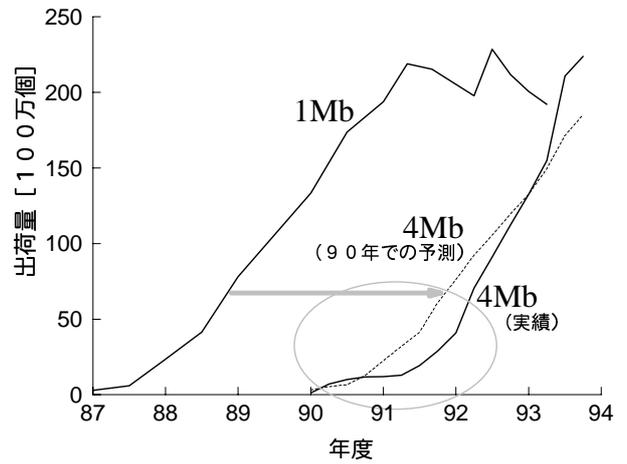
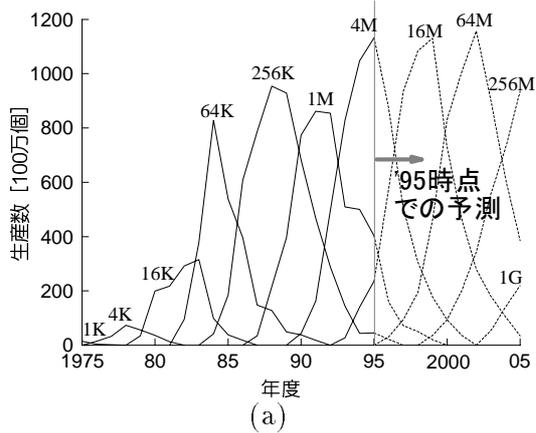
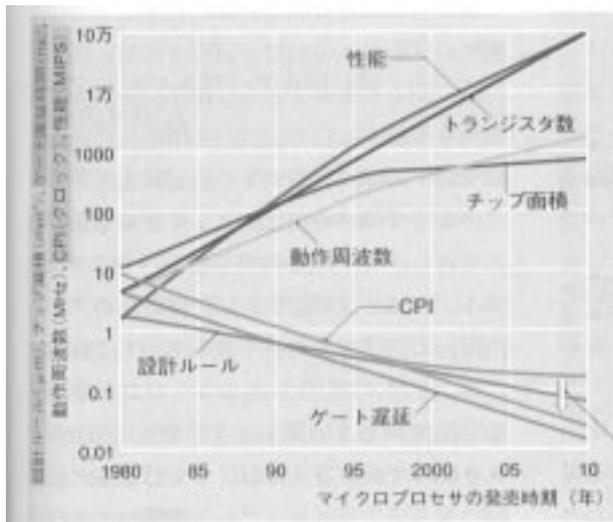


図 9: 1M ビット DRAM と 4M ビット DRAM の出荷量の推移

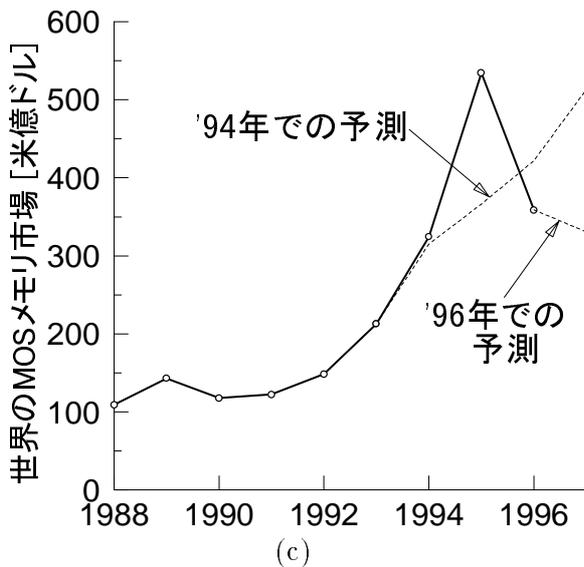
1M ビット品から 4M ビット品への交代で転機を迎えることになる。1990 年代初め、日本をはじめ半導体メーカーは、来るべき 4M ビット品への世代交代のために大規模な設備投資をしていた。[43] しかし図 9 のように 4M ビット品の本格的な立上りが期待された 1992 年でも、出荷量は予測の半分程度に過ぎず、価格の下落によって採算割れのメーカーが続出することになった。しかし 4M ビット品の市場回復は、1992 年の Windows3.1 の発売という意外な要因ではじまった。つまり Windows3.1 が発売される以前のパソコンはほとんど MS-DOS で動作し、そこではメインメモリの容量が不足していることはなかったが、Windows3.1 の普及によってパソコンの搭載メモリでは不足となり、メモリ市場が回復した、と見ることができる。

すなわちこれ以前は、メモリ容量やマイクロプロセッサの性能が慢性的に不足している状態だったため、製品の世代交代によって性能が高くなると、一斉に市場がそちらに移行するという構図があった。1M ビット DRAM から 4M ビット DRAM への移行では、このような市場のニーズを考慮せず、ただトレンドの追求によってのみ世代交代を進めたことが原因であったと考えられる。

パソコンの搭載メモリ量の推移などの市場のニーズを考慮した半導体市場の分析もいくつかあるが、[44, 34] 大容量化へのニーズは必ずしも大きくないと予想されている。(もっとも DRAM メーカーとしては、製造設備投資や工程数の増加による製造コストの増加のために、ビット単価の低減のためにはそれを上回る大容量化が必要であるという事情もある) このような事態をふまえ、DRAM



(b)



(c)

図 8: スケーリングのトレンドに基づく予測の例。(a)DRAM 世代交代の実績と予測、(b)マイクロプロセッサの進歩の予測、(c)MOS メモリ製品の世界市場の実績と予測

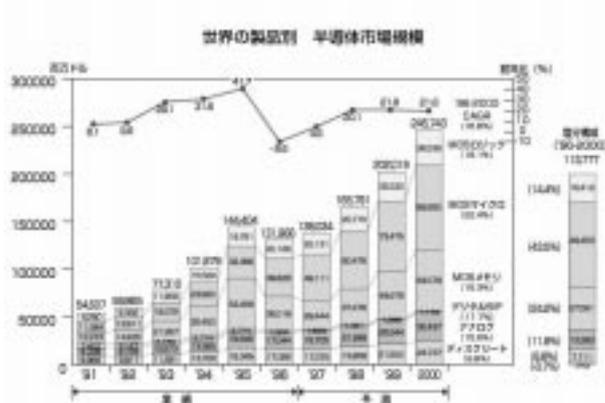


図 10: 1997 年の WSTS による世界半導体市場予測 [50]

業界を含め、半導体業界自体の体質は大きく変貌をとげようとしている。[45, 46, 47, 48] 従来のように、ただ作れば売れるという時代ではなく、例えば高速な DRAM 規格等を提案していく力や、需要の動向を把握する力が求められている。実際 ISSCC (International Solid-State Circuits Conference) などの学会でも、メモリ素子に関する発表は、大容量化よりもむしろ高速読み出しやテスト機能の内蔵などの容量以外の点で価値を見出しそうという傾向がますます顕著となってきている。[49]

なお 1997 年の WSTS (World Semiconductor Trade Statistics: 世界半導体市場統計) の予測 [50] では、図 10 に示すように 1996 年に一時的に -8.6% というマイナス成長になったが、1997 年には +4.6% と再びプラス成長に移行し、その後は 1998 年から順次 +20.1%、+21.9%、+21.6% と拡大基調が持続するとなっている。これらは、i) パソコン市場の二桁成長、ii) デジタル移動体通信市場の拡大、iii) 車産業の電子化、iv) 民生用電子機器のデジタル化の普及、を根拠としている。これがスケーリングの外挿にすぎないものではないければいいのだが。

4 まとめ - 今後の半導体産業のあるべき姿

以上、半導体産業にとって「スケーリング則」がもつ意義について、技術的側面と経済的側面の双方から概況をまとめた。

まず技術的には、チャンネル長が $0.1\mu\text{m}$ 程度までは素子の動作や加工技術自体には現時点でもめどが立っていると言えそうである。

また経済的には、素子の微細化によって集積度の向上、機能単価の低減が実現され、今後は製造

CHIP FEATURES IN 2000

| | |
|--------------------|--------------------------------------|
| Critical dimension | : 0.18 μm |
| Complexity | : > 10 M Gate / Chip |
| Chip size | : 300 - 600 mm^2 |
| Interconnect level | : 5 ~ 6 |
| Power | |
| High performance | : 40 W / die |
| Portable | : 4 W / die |
| Power supply | : 2.2 V (Desktop) 1.5 V (Nomadic) |
| Performance | |
| Off chip | : 250 MHz |
| On chip | : 500 MHz |

Source: SGS-THOMSON

Fig. 5

図 11: トレンドの外挿による、2000 年に実現される集積回路の諸元 [2]

設備投資の高騰や工程数の増加などのマイナス要因はあるものの、集積度の向上も機能単価の低減も継続することは可能であると言えそうである。

ただし 1M ビット DRAM から 4M ビット DRAM への世代交代時に顕在化したように、市場のニーズ自体の問題は注意深く検討していく必要がありそうである。

単純にスケーリングのトレンドを外挿すると、西暦 2000 年には表 11 のような諸元の集積回路が実現されることになっている [38]。これが実現されるかどうかという問題も重要だが、これらのありあまる機能を十分に使いこなすだけのソフトウェアも重要となるであろう。このように高機能化した集積回路に何をさせるのか。例えば音声や画像の「認識」という機能を実現するためには、10 億トランジスタでも足りないという説もある。[2] また、低消費電力が要求される分野では細かな電力制御のために多くのトランジスタを割くことも可能となるであろう。

これからの集積回路やコンピュータでは、ただ作るだけ、機能を上げるだけでは不十分で、このように余剰となったトランジスタを有効に使い、「人間や地球にやさしいコンピュータ」を実現するための技術や方法についても検討を加えていく必要があるであろう。

[余談] もっとも、われわれの幸福というもの、必ずしも最先端の技術が必要なわけでもない。既存の技術を応用することでも、「われわれの欲しいもの」は現実にはできることは多々ある。例えば飛行機の全自動操縦が実現できてパイロットの居眠りが問題となっていることは、人類の幸福なのであるか。また、最近流行している右図のよう



なキーホルダー型ゲーム機のように、機能的には 4bit の CPU、モノクロ液晶、ピープ音といったかなり古くからある技術の組合せで構成されているものでは、人々の幸福(暇つぶしも含まれるであろう)にならないのであろうか。

参考文献

- [1] R.H.Dennard *et al.*, "Design of ion-implanted MOS-FET's with very small physical dimensions," *IEEE J.of SSC*, v9, n5, pp.256-268, 1974.
- [2] 「2010 年へ、微細化は依然指導原理でありつづける」日経マイクロデバイス, pp.32-48, 1995.7 号.
- [3] T.Murotani *et al.*, *ISSCC*, TP 4.6, 1997.
- [4] M.Kakumu, "Process and device technologies of CMOS devices for low-voltage operation," *IEICE Trans. Electron.*, vE76-C, n5, pp.672-680, 1993.
- [5] B.Davari *et al.*, "CMOS scaling for high performance and low power—the next ten years," *Proc.IEEE*, v83, n4, pp.595-606, 1995.
- [6] G.Baccarani *et al.*, "Generalized scaling theory and its application to a $\frac{1}{4}$ micrometer MOSFET design," *IEEE Trans.ED*, v31, n4, pp.452-462, 1984.
- [7] C.G.Sodini *et al.*, "A framework to evaluate technology and device design enhancements for MOS integrated circuits," *IEEE J.of SSC*, v24, n1, pp.118-127, 1989.
- [8] P.A.Raje *et al.*, "Performance-driven scaling of BiCMOS technology," *IEEE Trans.ED*, v39, n3, pp.685-694, 1992.
- [9] Y.Taur *et al.*, "CMOS scaling into the 21st century: 0.1 μ m and beyond," *IBM J.RES.DEVELOP.*, v39, n1/2, 1995.
- [10] P.K.Vasudev, "CMOS device and interconnect technology enhancements for low power / low voltage applications," *Solid State Electronics*, v39, n4, pp.481-488, 1996.
- [11] C.Hu, "Low-voltage CMOS device scaling," *ISSCC*, p.86, 1994.
- [12] M.Kakumu *et al.*, "Power-supply voltage impact on circuit performance for half and lower submicrometer CMOS LSI," *IEEE Trans.ED*, v37, n8, pp.1902-1908, 1990.
- [13] K.Chen *et al.*, "The impact of device scaling and power supply change on CMOS gate performance," *IEEE ED Let.*, v17, n5, pp.202-204, 1996.
- [14] B.Agrawal *et al.*, "Short channel models and scaling limits of SOI and bulk MOSFET's," *IEEE J.of SSC*, v29, n2, pp.122-125, 1994.
- [15] T.Kobayashi *et al.*, "Self-adjusting threshold-voltage scheme (SATS) for low-voltage high-speed operation," *IEEE Trans.ED*, v24, pp.218-218, 1977.
- [16] H.S.Wong, "Technology and device scaling considerations for CMOS imagers," *IEEE Trans.ED*, v43, n12, p.2131, 1996.
- [17] J.G.Lee, "Future technology challenge for giga bit dram generation," *Int. Conf. on Solid State and Integrated Circuit Tech.*, pp.133-137, 1995.
- [18] P.K.Chatterjee *et al.*, "The impact of scaling laws on the choice of n-channel and p-channel for MOS VLSI," *IEEE ED Let.*, v1, n10, pp.220-223, 1980.
- [19] J.M.Pimbley *et al.*, "MOSFET scaling limits determined by subthreshold conduction," *IEEE Trans.ED*, v36, n9, pp.1711-1721, 1989.
- [20] J.D.Meindl, "Gigascale integration: is the sky the limit?" *IEEE Cir.&Dev. Mag.*, v12, n6, pp.19-24, 1996.
- [21] H.Komiya, "Future technological and economic prospects for VLSI," *Proc. 1993 IEEE/SEMI Advanced Semiconductor Manufacturing Conf.& Workshop*, p.76, 1993.
- [22] J.D.Meindl, "Physical limits on gigascale integration," *J. of Vacuum Science Tech. B*, v14, n1, pp.192-195, 1996.
- [23] H.S.Momose *et al.*, "Tunneling gate approach to ultra-high current drive in small geometry MOS-FETs," *IEDM*, pp.593-596, 1994.
- [24] C.Hu, "Future CMOS scaling and reliability," *PIEEE8156826891993*.
- [25] D.Burnett *et al.*, "Implications of fundamental threshold voltage variations for high-density SRAM and logic circuits," *Symp. on VLSI Tech.*, pp.15-16, 1994.
- [26] M.Ono *et al.*, "Sub-50nm gate length nMOSFETs with 10nm phosphorus source and drain junctions," *IEDM*, pp.119-122, 1993.
- [27] Y.Mii *et al.*, "High performance 0.1 μ m nMOSFET's with 10ps/stage delay (85K) at 1.5V power supply," *Symp. on VLSI Tech.*, pp.91-94, 1993.
- [28] <http://www.intel.co.jp/>
- [29] 小宮啓義他, 「集積度向上のバランスシート」電子情報通信学会誌, v75, n4, pp.333-337, 1992.
- [30] M.P.Lepselter *et al.*, "DRAM pricing trends—the π rule," *IEEE Cir.&Dev. Mag.*, v1, n1, pp.53-54, 1985.
- [31] Y.Tarui *et al.*, "New DRAM pricing trends: the bi rule," *IEEE Cir.&Dev. Mag.*, v7, n2, pp.44-45, 1991.
- [32] 「96-97 年の DRAM 事業に楽観、悲観の二つのシナリオ」日経マイクロデバイス, pp.72-83, 1996.10 号.
- [33] 「64M チップの量産は 2000 年ごろ」日経マイクロデバイス, pp.14-15, 1996.2 号.
- [34] 日経エレクトロニクス, No.687, p.129, 1997.4.21.
- [35] 日経エレクトロニクス, No.684, p.132, 1997.3.10.
- [36] J.O.Hilbrink, "Economic impact and technical change," *IEEE Trans. on Eng.Management*, v36, n1, pp.37-46, 1989.
- [37] G.E.Moore, "Lithography and the future of Moore's law," *Proc. SPIE*, v2440, pp.2-17.
- [38] G.Zocchi, "Semiconductor technology roadmap and industry strategic planning," *Proceedings of MELECON*, pp.75-79, 1996.
- [39] 日経エレクトロニクス, No.626, p.10, 1995.1.16.
- [40] 日経エレクトロニクス, No.680, p.110, 1997.1.13.
- [41] "Dataquest reports worldwide semiconductor market to return to double digit growth in 1997," DataQuest Press Release, <http://www.dqi3.dataquest.com/info/press/ir-n9723.html>
- [42] "Revised forecast for world chip market," SIA Press Releases, <http://www.semichip.org/indstats/forecast.htm>
- [43] "Japan 1990: focus on 4M DRAMs, new fabs," *Semiconductor Int.*, v13, n6, pp.210-216, May 1990.
- [44] 「ニーズから DRAM 市場を分析」日経マイクロデバイス, pp.65-67, 1992.1 号.
- [45] 「16MDRAM で利益が出るコスト競争力を徹底検証」日経マイクロデバイス, pp.42-48, 1993.4 号.
- [46] 「革新迫られる DRAM 事業」日経マイクロデバイス, pp.44-55, 1997.3 号.
- [47] 「日本半導体年鑑」プレスジャーナル, 1997.
- [48] 「パラダイム・シフト起こす LSI メーカー」日経マイクロデバイス, pp.40-47, 1997.1 号.
- [49] 日経エレクトロニクス, No.682, pp.97-152, 1997.2.10.
- [50] <http://www.eiaj.or.jp/>