

# 半導体集積回路における低消費電力化技術の動向

浅田研究室修士課程1年 36329 秋田 純一

## 1 はじめに

1959年にTexas Instruments社のJ. S. Kilbyによって発明された集積回路は、1974年にR.H. Dennardにより発表された「スケーリング則」[1]に基づき、その時代が許す加工技術による微細化によって高性能化を遂げてきた。ところが、メモリ素子に代表されるような微細化に伴い、その電力消費による発熱が性能向上を制限する要因の一つになりつつある。現に、信頼性確保のために特に高速で動く素子は強制冷却を行ないながら使用される場面がいくつもある。また、近年普及が著しい携帯型情報機器では、バッテリー容量の制限から回路の低消費電力化が強く求められている[2]。

これらの要求に対し、回路を使用しないときには電源や信号の供給を止める、いわゆる「スタンバイモード」等の技法が考案され、例えばオフィスのコンピュータ等で常時使用するわけではない機器に対しては効果が得られる。しかし、例えば動画圧縮の回路などの常時ピークの性能が要求される回路ではこの方法による低消費電力化は効果がなく、性能を損なうことのない根本的な回路の低消費電力化が必要となる[2]。

以上のような背景をふまえ、本輪講では集積回路の低消費電力化のための技術動向を紹介する。

なお、ひとくちに集積回路といっても回路構成や原材料によって極めて多くの種類があるが、まず産業レベルで広く実用化されているCMOS回路を主にまとめ、その他のものについては最後に簡単にまとめることにする。

## 2 CMOS集積回路の低消費電力化技術

CMOS回路では非動作時の消費電力は無視できるほど小さいため、動作時の消費電力 $P_d$ のみを考

慮すればよい。

$$P_d = \bar{f} C_L V_S V_{dd} \quad (1)$$

ここで、 $\bar{f}$ は回路の平均動作周波数、 $C_L$ は負荷容量、 $V_S$ は信号振幅、 $V_{dd}$ は電源電圧である。この式から、CMOS集積回路の低消費電力化のためには、この4つの要素をそれぞれ小さくすればよいことがわかる。以下、それぞれを小さくするアプローチを中心にCMOS集積回路の低消費電力化技術についてまとめておく。

### 2.1 微細化による低消費電力化

1974年にR.H.Dennardにより発表された「スケーリング則」[1]は、回路を構成するMOSトランジスタの寸法、しきい電圧、電源電圧を $1/k$ 倍にし、不純物濃度を $k$ 倍にしたとき、回路の性能がどのように変化するかを定量的にまとめたもので、主なものは表1のようなものである。

これらからわかるように、微細化によって回路遅延、消費電力が低減できるため、高速化、低消費電力化のためにはその時代の技術が許す限りの微細化を行うのが手短である。しかし、これによっても電流密度、配線遅延、電力密度は低減できないため、主に素子耐性の面から問題が生じる。また後述のように主に工業標準化の理由から電源電圧は必ずしもスケーリング則に従って縮小されず、また金属配線の耐性の理由から厚さ方向の寸法も縮小しにくい。また、後述のサブスレッショルド特性のためにしきい電圧も縮小しにくいいため、スケーリング則に従った低消費電力化には、これらの問題も考慮しなければならない。

項目	式	倍率
素子寸法	$x$	$1/k$
電源電圧	$v$	$1/k$
電流	$qnS\bar{v}$	$1/k$
容量	$\epsilon x^2/x$	$1/k$
素子遅延	$CV/I$	$1/k$
消費電力	$VI$	$1/k^2$
回路面積	$x^2$	$1/k^2$
電力密度	$VI/x^2$	1
配線抵抗	$\rho x/x^2$	$k$
相対的な電圧降下	$IR/V$	$k$
配線遅延	$RC$	1
電流密度	$I/x^2$	$k$
電界強度	$v/x$	1

表 1: スケーリング則に基づく倍率

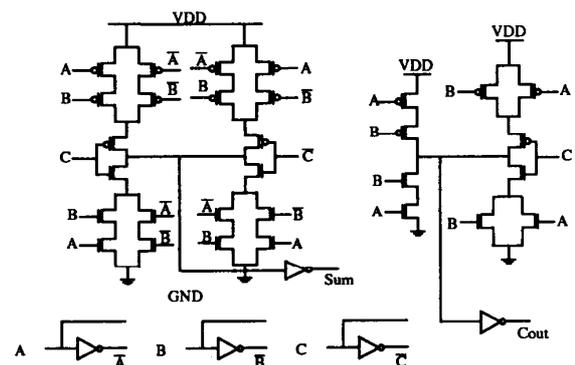
## 2.2 $C_L$ の低減による低消費電力化

回路が駆動すべき容量には、主に次のものがある。

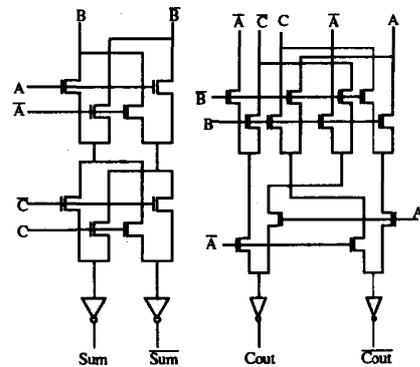
- 配線容量  $C_{wire}$
- ゲート容量  $C_g$
- 接合容量  $C_j$
- 空乏層容量  $C_d$

集積回路構造の微細化のうち、金属配線に関しては前述の通り、主にその耐性の面から厚さ方向が縮小しにくく、したがって相対的に厚さ方向が大きくなることで配線容量の影響が増加する傾向がある。またゲート容量は、あるノードに接続する次段の MOS トランジスタ数によって定まるため、これを低減するには回路そのものを再構成する必要がある [2, 3]。近年、主な論理機能を実現するのに、従来の CMOS よりも少ないトランジスタですむ CPL (Complementary Pass-transistor Logic) 等の回路構成法が考案されており、これによってトランジスタの数を減らすことでゲート容量や配線容量を低減できる可能性がある [2]。

接合容量や空乏層容量は回路の直接の負荷にはならず、その大きさも一般的に配線容量等に比べて小さい(20%程度)が、その充放電電力は全体の消費電力を見積もる上では無視できない [4]。接合容量は素子構造そのものに依存するため、これを減らすための新しい素子の構造がいくつか提案されている。例えば、絶縁膜上に Si 結晶



Transistor count (conventional CMOS) : 40



Transistor count (CPL) : 28

図 1: 通常の CMOS と CPL で構成した全加算器

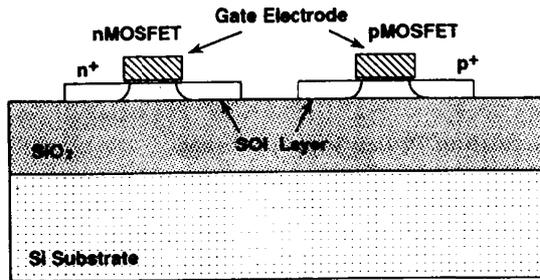


図 2: SOI 構造

を成長させ、そこにトランジスタを作り込む薄膜 SOI (Silicon On Insulator) 構造は、接合容量が小さいことやショートチャネル効果に強いなどの特徴があり、サブミクロンデバイスに有効な構造として研究が進められている [5]。ただ、薄膜 Si の結晶性や Si 層の膜厚制御性等、作成上の問題を解決しなければならない。

SOI 構造のこれらの利点をバルク Si で実現する構造として、チャンネル直下のウェルを浅くして空乏層容量を低減できる CMOS-SJET (CMOS-Shallow Junction Well FET) 構造が考案されている [6]。この構造は従来のバルク Si の製造技術の延長で作成でき、しかも特に低電源電圧動作での高速・低消費電力が示されている。

### 2.3 $V_{dd}$ の低減による低消費電力化

デジタル回路の電源電圧は、主に標準化の問題から、長い間いわゆる TTL レベルの +5V が続いてきた。しかし、DRAM 等のメモリ素子に代表されるような微細化によって、5V では素子の信頼性確保が困難となってきた [7]。このため、外部から加える電圧は 5V でも、内部に降圧回路をもつことで素子そのものの電源電圧を実効的に下げる技法が取り入れられたりした。しかし降圧回路での損失等も無視できないため、外部電源電圧そのものの低電源電圧化が始まった。この低電源電圧化は低消費電力化にもつながるため好意的に受け止められ、ゲートアレイやマイクロプロセッサ等のメモリ素子以外でも 3.3V や 3V といった電源電圧が標準となりつつある。

スケーリング則によれば、電源電圧の低下とともに MOS トランジスタのしきい電圧  $V_T$  も低減する必要がある。しかし  $V_T$  の低下とともに、MOS トランジスタがオフ時の漏れ電流であるサブスレッショルド電流が増加するため、 $V_T$  をむやみに低下させることはできない。従ってむやみに電源

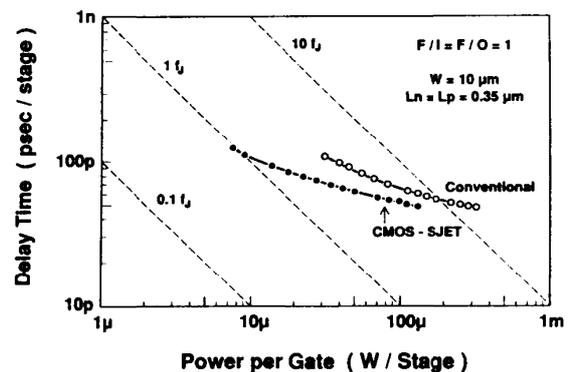
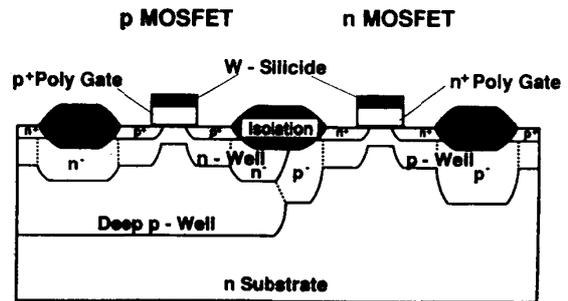


図 3: CMOS-SJET 構造と、その電力遅延時間積

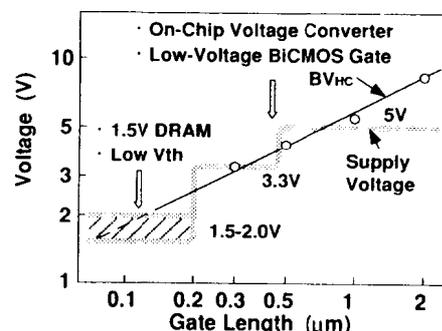


図 4: 素子の微細化と低電源電圧化傾向

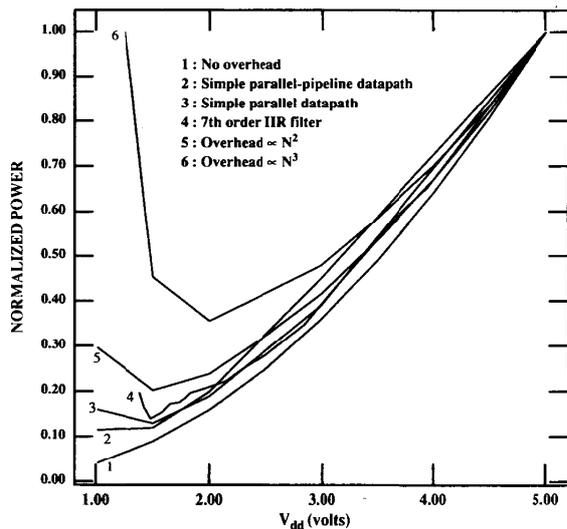


図 5: 電源電圧の低下と消費電力

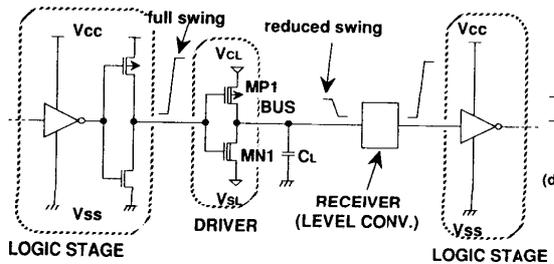


図 6: 低信号振幅データ転送のための回路構成

電圧を低下させることもできず、電源電圧には下限が存在することになる [2, 8, 9]。なお、サブスレッショルド電流を増加させずに  $V_T$  を低減できる SOI や CMOS-SJET のような素子構造も有効である [6]。

なお、種々の回路構成上の技法やプロセス改良によってさらなる低電源電圧化への努力が進められ、バッテリー駆動を目標とした 1.5V 以下の電源電圧で動作する素子も発表されている [10, 11]。

## 2.4 $V_S$ の低減による低消費電力化

情報伝達のための信号振幅  $V_S$  は、一般に電源電圧と同じにすることが多い。しかしコンピュータのバスライン等ではその配線容量が大きいいため、この部分の充放電電力が無視できない。

そこで、このような配線容量が大きい部分に関しては信号振幅を小さくし、受信側にそれを増幅する回路を用意することによって、通信路での

消費電力を低減する方法が提案されている [12]。受信側の増幅回路等のオーバーヘッドが必要となるが、バスラインのドライバが小さくてすむために、全体の回路面積も小さくできる可能性があり、コンピュータのバスライン等での効果が指摘されている。

## 2.5 $\bar{f}$ の低減による低消費電力化

回路の性能は、一般には動作周波数に比例すると考えられるため、回路の信号周波数  $\bar{f}$  を低減することは、一般にはそのまま回路性能の低下につながる。そのため、従来は性能を維持するために、動作周波数を低減すると共に回路の並列化やパイプライン化等の技法が必要とされてきた [2, 13]。

一方、複数の入力をもつ CMOS 論理回路においては、論理上は対称なものでも回路トポロジー上は非対称なものがある。これらの入力へ信号を割り当てる場合、論理上対称な入力への信号の割り当て方は一意には定まらない。

このような場合、従来はランダムに割当を行っていたが、割り当ての方法によっては、内部ノードの平均信号周波数を低減できる可能性がある [14]。この方法により、論理設計終了後に論理上対称な入力を再割り当てすることによって論理動作が同一でも消費電力の小さい回路が構成できる可能性がある。

## 2.6 その他の CMOS 集積回路の低消費電力化技術

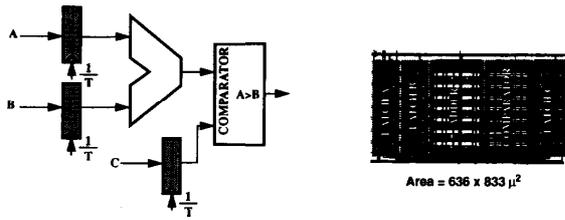
以上に述べたような方法以外にも、CMOS 集積回路の低消費電力化へのアプローチが試みられている。

### 2.6.1 低温動作デバイス

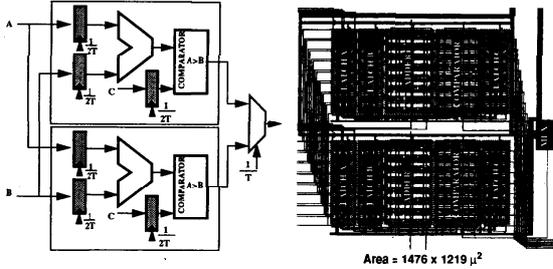
前述の  $V_T$  を低減できない主な原因であった MOS トランジスタのサブスレッショルド特性は、次式で与えられる  $S$  係数によって表現される。

$$S = \frac{kT}{q} \ln 10 \left( 1 + \frac{C_d}{C_{ox}} \right) \quad (2)$$

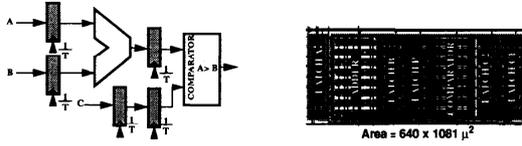
ここで  $k$  はボルツマン定数、 $T$  はデバイス温度、 $q$  は電気素量、 $C_d$  はチャンネルの空乏層容量、 $C_{ox}$  はゲート酸化膜容量である。 $S$  係数は、ゲート電圧  $V_{GS}$  がしきい電圧付近での、ドレイン電流  $I_D$  を一桁変化させるのに必要なゲート電圧の変化を表わし、これが小さいほどサブスレッショルド電



(a) 通常の回路



(b) 並列化した回路



(c) パイプライン化した回路

回路構成		電源電圧	面積	消費電力
パイプライン	並列			
-	-	5.0V	1.0	1.0
-	-	2.9V	1.3	0.39
-	-	2.9V	3.4	0.36
-	-	2.0V	3.7	0.2

(d) 各回路の比較

図 7: 種々の回路構成法とその速度・消費電力

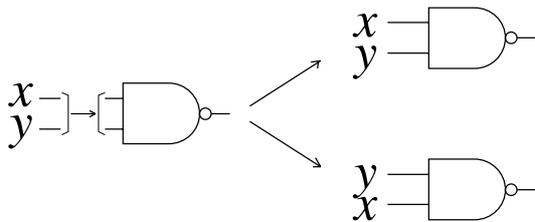


図 8: 2 入力 NAND ゲートへの信号の割り当て

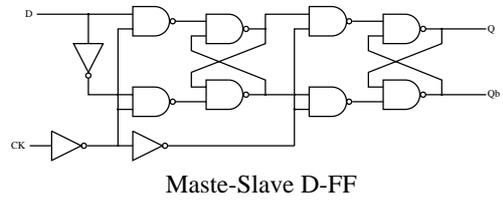
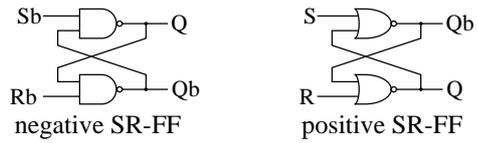


図 9: 同期式 D-FF と非同期式 SR-FF

流を低減しながらしきい電圧を低減することができる。

この式から、 $S$  係数を低減するために、空乏層容量  $C_d$  を低減するアプローチとして SOI 構造や CMOS-SJET 構造が考案されたわけであるが、 $T$  を低くすることによっても  $S$  係数を低減できることがわかる。すなわち、素子を低温下で動作させることによってしきい電圧を低く設定でき、従ってサブスレッショルド電流を低く保ちながら電源電圧を下げることで消費電力の低減が可能となる。

### 2.6.2 自己同期回路

従来の、クロック信号に同期して動作する同期式回路ではなく、内部状態に従って順次動作する自己同期回路 (または非同期回路、Asynchronous Circuits) が、主に高速動作可能な回路として提案されている [15]。クロック信号に同期して動作する同期回路のフリップフロップでは、入力が遷移しないときでもフリップフロップ内部へのクロック供給部分で常時電力を消費してしまう。これに対して、自己同期回路ではクロック供給部分のない非同期のフリップフロップが利用可能なため、状態遷移回路を構成するとき、自己同期回路では同期回路に比べて同程度のハードウェア量で 30%~50% の消費電力低減の可能性が示されている [16]。

### 2.6.3 スタンバイモード

CMOS 集積回路の本質的な低消費電力化技術というわけではないが、使用時以外にはクロックの供給を止めたりデータ保持に最低限必要な電源のみを供給するようにする、いわゆる「スタンバイ

モード」を備える素子が多くなってきた [17]。

この方法は、前述のように動画圧縮の回路のような常時ピーク性能を要求される回路ではあまり効果がない。しかし、例えばメモリ素子では必ずしも常時すべてのメモリセルがアクセスされているわけではないので、必要な箇所のみをアクティブにするようにすることで平均的にチップ全体の消費電力の低減が可能となる。また、マイクロプロセッサ等の論理回路でも CMOS スタティック回路で構成されたものであれば、必要に応じてシステムクロックを完全に停止することで消費電力を無視できるほどにまで小さくできる。このような「スタンバイモード」へは、マイクロプロセッサの特殊な命令で移行したり、または外部に専用の回路を持つことで実現したりする。このようなモードをもつことは、当初は携帯機器等のバッテリーの寿命を延ばすための技法であったが、地球環境問題に対する意識の普及と共に、据え置き型の機器に対しても電子回路のみならず周辺機器も含めて広く普及しつつある。

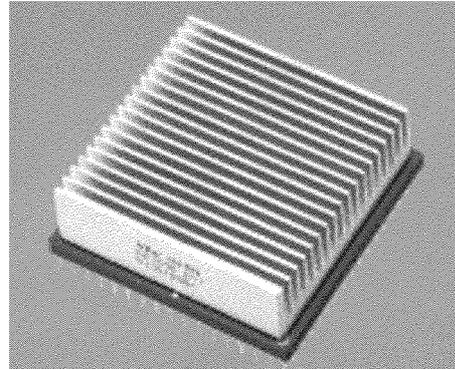


図 10: 放熱器のついた ECL ゲートアレイ

### 3 その他の集積回路の低消費電力化技術

以上で述べたような CMOS 集積回路以外にも、種々の集積回路が実用化され、その高性能化への努力が続けられている。

#### 3.1 ECL 集積回路の低消費電力化技術

バイポーラトランジスタの差動増幅回路を基本とする ECL (Emitter Coupled Logic) 回路は、その高速動作特性から特に GHz 以上の高速動作が要求される ATM 交換機等の分野で利用されてきた [18, 19]。しかし、一般に ECL 回路は消費電力が大きく、従って動作時には大きな放熱器や強制冷却装置が必要となるため応用分野も限定されていた。

しかし、Active Pull-Down と呼ばれる回路技術が考案され、その改良型の回路を用いることで、動作速度を保ったまま消費電力を 1/7 程度に低減できたり、または同一の消費電力で 3.5 倍程度の動作速度が得られている [19]。

こうして、数百 MHz 以上の高周波動作では CMOS 回路よりも ECL 回路の方が消費電力が小さくなる場合がある。

もちろん、こうして ECL の消費電力が低減されたといっても、低周波域での消費電力は CMOS に比べれば大きく、また集積度も CMOS より劣る。そのため、高速動作が要求される部分にのみ

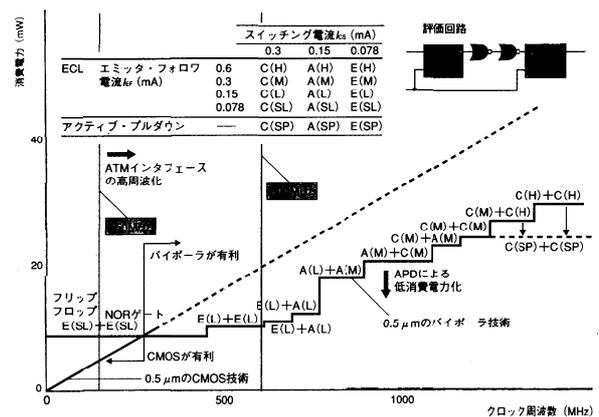


図 11: CMOS と ECL の動作周波数と消費電力

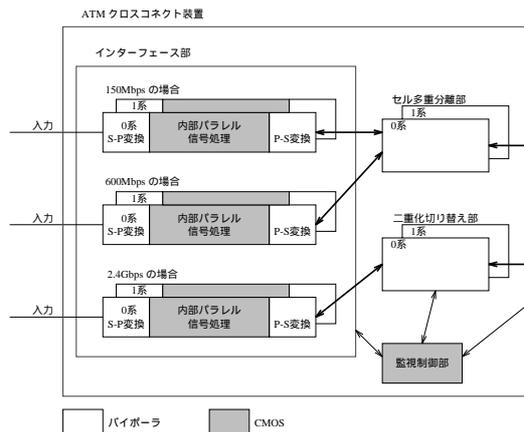


図 12: ECL-CMOS 混在回路の応用例

ECL を用い、低速ですむ部分には、集積度と消費電力で優位な CMOS 回路を用いるような、両者の長を生かし、集積した ECL-CMOS 技術も注目されはじめています。

例えば前述の ATM 交換機では、シリアル パラレル変換部分では数百 MHz 以上の高速動作が必要なため ECL を用いるが、パラレル変換された後は数十 MHz の動作で十分なため、CMOS を用いることで、速度面、集積度面で効率のよい回路構成をとることができるようになる。

### 3.2 Josephson 集積回路

超伝導物質で絶縁物を挟んだ Josephson 接合が、極めて消費電力が小さく高速な論理スイッチとして利用可能なことが見い出されてから、これを論理集積回路として実現する努力が進められてきた。

しかし、Josephson 集積回路の実現を先頭に立って進めてきた IBM が 1983 年 11 月に突然撤退したことから、Josephson 集積回路への熱が一時冷めた感があった。しかし、1989 年 12 月に日本の電総研で Josephson 集積回路を用いた 4bit のマイクロコンピュータが初めて試作され、再び広く研究されてきている。例えば、アクセス時間が 570ps で消費電力が 13mW の Josephson 1-kbit RAM が試作されている [20]。

Josephson 集積回路は、高温超伝導体の開発や材料の改良とともに今後も超高速コンピュータの構成素子として研究開発が進められていくであろう。

## 4 今後の集積回路の低消費電力化技術

以上で見てきたように、種々の集積回路において、その特性を生かした低消費電力化への努力が続けられており、これからも続けられていくであろう。

では、集積回路の消費電力はどこまで小さくできるのであろうか。

究極的には、情報の伝達に必要な最小エネルギーは、伝達される情報量、すなわちエントロピーの減少量にまで小さくできるはずである。しかし、現実には種々の要因のためそこまでは小さくできない。それらの要因を考慮して、消費電力の下限を理論的に導く試みがなされている [21, 22]。

今後は、消費電力をその理論的な下限に近づけるために様々な技術開発が続けられていくであろう。

もちろん、このような技術開発がなされただけでは不十分で、その標準化を進めて広く普及させることによって、初めて現代社会の基盤ともいえる電子回路技術の発展につながるであろう。

### 参考文献

- [1] R.H.Dennard *et al.*, "Design of Ion-Implanted MOSFETs with Very Small Physical Dimension," *IEEE J. Solid-State Circuits*, Vol. 9, No. 5, pp. 256-268, Oct. 1974.
- [2] A. P. Chandrakasan *et al.*, "Low-Power CMOS Digital Design," *IEEE J. Solid-State Circuits*, Vol. 27, No. 4, pp. 473-484, Apr. 1992.
- [3] 木村他, 「多分割データ線回路方式による DRAM の低消費電力化の検討」 電子情報通信学会論文誌 C, Vol. J68-C, No. 12, pp. 1006-1015, 1985 年 12 月.
- [4] C.Y. Tsui *et al.*, "Power Estimation considering Charging and Discharging of Internal Nodes of CMOS Gates," *Proceedings of SASIMI '93*, pp. 345-353, 1993.
- [5] M. Kakumu, "Process and Device Technologies of CMOS Devices for Low-Voltage Operation," *IEICE Trans. Electron.*, Vol. E76-C, No. 5, pp. 672-680, May 1993.
- [6] H. Yoshimura *et al.*, "New CMOS Shallow Junction Well FET Structure (CMOS-SJET) for Low Power-Supply Voltage," *1992 Electron Devices Meeting Tech. Dig.*, 1992.

- [7] K. Itoh, "Trends in Megabit DRAM Circuit Design," *IEEE J. Solid-State Circuits*, Vol. 25, No. 3, pp. 778–789, Jun. 1990.
- [8] M. Kakumu *et al.*, "Choice of Power-Supply Voltage for Half-Micrometer and Lower Submicrometer CMOS Devices," *IEEE Trans. on Electron Devices*, Vol. **ED-37**, No. 5, pp. 1334–1342, May 1990.
- [9] M. Kakumu and M. Kinugawa, "Power-Supply Voltage Impact on Circuit Performance for Half and Lower Submicrometer CMOS LSI," *IEEE Trans. on Electron Devices*, Vol. **ED-37**, No. 8, pp. 1902–1908, Aug. 1990.
- [10] A. Sekiyama *et al.*, "A 1-V Operating 256-kb Full-CMOS SRAM," *IEEE J. Solid-State Circuits*, Vol. 27, No. 5, pp. 776–782, May 1992.
- [11] Y. Nakagome *et al.*, "An Experimental 1.5-V 64-Mb DRAM," *IEEE J. Solid-State Circuits*, Vol. 26, No. 4, pp. 465–472, Apr. 1991.
- [12] Y. Nakagome *et al.*, "Sub-1-V Swing Bus Architecture for Future Low Power ULSIs," *1992 Symp. VLSI Circuits Dig. Tech. Papers*, pp. 82–83, 1992.
- [13] K. Shimohigashi and K. Seki, "Low Voltage ULSI Design –The Lower, The Better?–," *1992 Symp. VLSI Circuits Dig. Tech. Papers*, pp. 54–58, 1992.
- [14] J. Akita and K. Asada "A Method for Reducing Power Consumption of CMOS Logic Based on Signal Transition Probability," *Proc. EDAC-ETC Euro ASIC '94*, Feb. 1994. (to be presented.)
- [15] G. Jacobs and R.W. Brodersen, "A Fully Asynchronous Digital Signal Processor using Self-timed Circuits," *IEEE J. Solid-State Circuits*, Vol. 25, pp. 1526–1537, Dec. 1990.
- [16] J. Akita and K. Asada, "Low Power Features of Asynchronous Finite State Machine Based on One-hot Code." (unpublished)
- [17] 熊野谷他, 「メガビット DRAM の高性能化のための最適設計」 電子情報通信学会論文誌 C, Vol. J71-C, No. 7, pp. 1007–1014, 1988年7月.
- [18] K. Toh *et al.*, "A 23-ps/2.1-mW ECL Gate with an AC-Coupled Active Pull-Down Emitter-Follower Stage," *IEEE J. Solid-State Circuits*, Vol. 24, No. 5, pp. 1301–1306, Oct. 1989.
- [19] T. Kuroda *et al.*, "Capacitor-Free Level-Sensitive Active Pull-Down ECL Circuit with Self-Adjusting Driving Capability," *1993 Symp. VLSI Circuits Dig. Tech. Papers*, pp. 29–30, 1993.
- [20] S. Nagasawa *et al.*, "570-ps 13-mW Josephson 1-kbit NDRO RAM," *IEEE J. Solid-State Circuits*, Vol. 24, No. 5, pp. 1363–1371, Oct. 1989.
- [21] J. Vuillemin, "A Combinatorial Limit to the Computing Power of VLSI Circuits," *IEEE Trans. on Comput.*, Vol. **C-32**, No. 3, pp. 294–300, Mar. 1983.
- [22] A. Tyagi, "Energy Consumption in Multilective and Boundary VLSI Computations," *IEEE J. Solid-State Circuits*, Vol. 26, No. 9, pp. 1240–1248, Sep. 1991.