

修士論文

確率遷移モデルに基づく
CMOS 論理回路の低消費電力化

1995年2月8日提出

指導教官
浅田邦博助教授

東京大学工学部電子工学科

学籍番号 36329

秋田 純一

目次

1	序論	1
1.1	本研究の背景 ～速いだけじゃもの足りない～	1
1.1.1	微細化による低消費電力化	3
1.1.2	負荷容量 C_L の低減による低消費電力化	4
1.1.3	電源電圧 V_{dd} の低減による低消費電力化	6
1.1.4	信号振幅 V_S の低減による低消費電力化	8
1.1.5	動作周波数 \bar{f} の低減による低消費電力化	9
1.1.6	スタンバイモード	9
1.2	本論文の構成	11
2	組合せ論理回路の確率遷移モデルと低消費電力化	12
2.1	入力信号の確率的表現	12
2.2	論理ゲートの確率的モデル	13
2.3	論理ゲートの消費電力の期待値	16
2.3.1	負荷容量の充放電状態	16
2.3.2	内部容量の充放電状態	17
2.3.3	NAND ゲートの消費電力の期待値	19
2.4	多入力ゲートのモデル化	19
2.5	一般の論理回路の確率的モデル	20
2.6	最適入力割当による低消費電力化	21
3	組合せ論理回路の確率遷移モデルの検証と入力割当の効果	23
3.1	確率遷移モデルの検証	23

3.1.1	NAND ゲートの確率遷移モデルの検証	23
3.1.2	一般の論理回路に対する確率遷移モデルの検証	26
3.2	入力割当による低消費電力化の効果	26
4	順序回路の確率的モデルと低消費電力化	30
4.1	順序回路の構成	30
4.2	状態遷移回路の確率遷移モデル	31
4.3	低消費電力化のための状態符号割当アルゴリズム	33
4.4	同期回路の消費電力モデル	38
4.5	クロック線での消費電力のモデルと低減法	40
4.6	状態遷移回路全体の合成手順	42
4.7	状態遷移確率が未知の場合の状態符号割当	42
4.8	その他の状態符号	44
5	状態符号割当方法の評価	46
5.1	状態符号割当アルゴリズムの評価	46
5.2	フリップフロップの消費電力低減の評価	47
5.3	クロック線を考慮した消費電力低減の評価	49
5.4	その他の状態符号の評価	49
5.5	状態遷移確率が未知の場合の状態符号割当の評価	54
5.6	状態遷移回路全体での評価	56
6	結論	70
	謝辞	72
	参考文献	73
	本研究に関する公表文献と発表	75
	付録 A 論理素子の確率遷移モデル	76
	付録 B MCNC89 Benchmark 一覧	81

図一覽

図 1.1	放熱板付きのマイクロプロセッサ (a) と、それに形状が似ている大正製薬 (株) のゴキブリ誘引駆除剤 “COMBAT” (b)	2
図 1.2	通常の CMOS と CPL で構成した 1 ビット全加算器 [2]	5
図 1.3	SOI 構造 [4]	6
図 1.4	CMOS-SJET 構造とその電力遅延時間積 [4]	7
図 1.5	素子の微細化と低電源電圧化傾向 [5]	8
図 1.6	低信号振幅データ転送のための回路構成 [4]	9
図 1.7	種々の回路構成法とその速度・消費電力 [2]	10
図 2.1	入力信号の確率パラメータ (α_x, β_x) の定義	13
図 2.2	2 入力 NAND ゲートのモデル化	14
図 2.3	4 通りの 2 入力の組合せの状態遷移図	14
図 2.4	NAND ゲートの出力 z の状態遷移図	16
図 2.5	負荷容量 C_L の充放電状態の状態遷移図	17
図 2.6	内部容量 C_i の浮遊状態を考慮した入力の状態遷移図	18
図 2.7	多入力ゲートにおける内部容量間の電荷再分配	19
図 2.8	複数の論理ゲートからなる論理回路の確率遷移モデルの適用	20
図 2.9	NAND ゲートの入力端子への入力信号の割当	21
図 3.1	2 入力 NAND ゲートの回路図	24
図 3.2	2 入力 NAND ゲートの消費電力の理論値とシミュレーション値	25
図 3.3	1 ビット全加算器の回路	25
図 3.4	1 ビット全加算器の消費電力の理論値とシミュレーション値	27
図 3.5	1 ビット全加算器の、入力割当による消費エネルギーの最大値、最小値	29

図 4.1	状態遷移回路の構成	31
図 4.2	状態遷移時のフリップフロップの出力の遷移	32
図 4.3	状態遷移図の例	35
図 4.4	図 4.3 の状態遷移回路に対する状態符号割当の過程	36
図 4.5	同期式 D 型フリップフロップの回路図	39
図 4.6	クロック線の等価回路	40
図 4.7	インダクタ L を付加したクロック線の等価回路	41
図 4.8	状態遷移図の一部	43
図 5.1	ヒューリスティック割当法による状態符号割当の実行時間	48
図 5.2	表 5.3 をグラフ化した結果	52
図 5.3	各種の符号を用いた \bar{d}	55
図 5.4	状態符号間平均 Hamming 距離 \bar{d} の理論値とシミュレーション値	59
図 5.5	\bar{d} とフリップフロップ部消費電力 P_f	60
図 5.6	フリップフロップ部消費電力 P_f と組合せ論理回路部消費電力 P_c	62

表一覧

表 1.1	スケーリング則に基づく各要素の変化 [1]	3
表 2.1	2 入力 NAND ゲートの真理値表	16
表 4.1	双方向遷移確率 $p_{i,j}$ を並べかえた結果	35
表 5.1	全探索割当法をヒューリスティック割当法の \bar{d} の比較	47
表 5.2	種々の状態遷移回路に対する $\Delta\bar{d}$	50
表 5.3	種々の状態遷移回路に対する $\Delta\bar{d}'$	51
表 5.4	8 状態遷移回路の例	53
表 5.5	種々の入力確率 p_k に対して各状態へ割り当てられた状態符号の相対頻度	56
表 5.6	不具合の発生して除外したベンチマークとその不具合の内容	58
表 5.7	各状態符号割当による状態遷移回路の組合せ論理回路部のゲート数	63
表 5.8	各状態符号割当による状態遷移回路の状態符号間平均 Hamming 距離 \bar{d}	64
表 5.9	各状態符号割当による状態遷移回路の組合せ論理回路部の消費電力 P_c	65
表 5.10	各状態符号割当による状態遷移回路のフリップフロップ部の消費電力 P_f	66
表 5.11	各状態符号割当による状態遷移回路の全体の消費電力 P_{total}	67
表 5.12	非遷移時消費電力を考慮した場合の各部の消費電力の低減度	69

第1章

序論

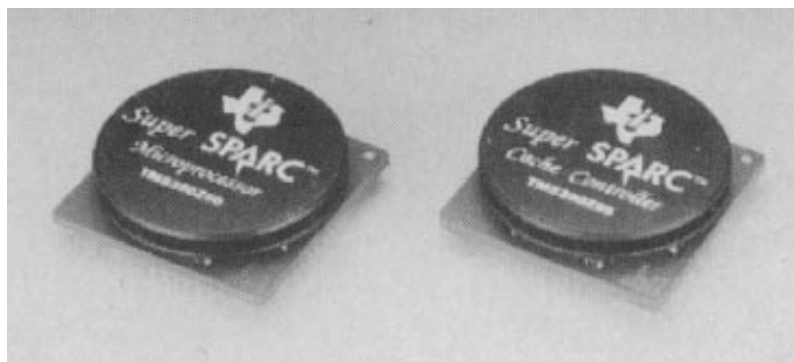
1.1 本研究の背景 ～速いだけじゃもの足りない～

高度情報化が進む現代社会において、コンピュータは科学技術系分野のみならず、金融流通その他現代社会の極めて広い分野で欠くことのできない存在となってきている。そしてその性能向上の要求はとどまるところを知らず、コンピュータの構成要素である集積回路は、その要求に応えるためにスケーリング則 [1] に基づき、加工技術と予算が許す限りの微細加工などの様々な技術革新によって高性能化をとげてきた。しかし、高速動作や高集積化による素子密度の増大は発熱の増加をもたらし、それが逆に更なる高集積化を制限する要因となりつつあるため、集積回路の低消費電力化が急務の課題となってきている。例えば最新のマイクロプロセッサでは図 1.1 のように大きな放熱板をもつものが多く、また場合によっては強制空冷を行わないと動作を保証できないものもある。また、近年普及の著しい携帯型電子機器ではバッテリー容量の制限があり、駆動時間を長くするために回路の低消費電力化の要求が特に強い。

いくつもある集積回路の回路構成の中で CMOS 論理回路は、高集積化が容易・静的消費電力が無視できる等の特長から、最も広く用いられている。CMOS 集積回路では、その静的消費電力はほぼ無視できるため、次式の動的消費電力 P_d のみを考慮すればよい。

$$P_d = CV_{dd}V_S\bar{f} \quad (1.1)$$

ここで C は負荷容量、 V_{dd} は電源電圧、 V_S は信号振幅、 \bar{f} は平均信号周波数であ



(a)



(b)

図 1.1: 放熱板付きのマイクロプロセッサ (a) と、それに形状が似ている大正製薬 (株) のゴキブリ誘引駆除剤 “COMBAT” (b)

項目	式	倍率
素子寸法	x	$1/k$
電源電圧	v	$1/k$
電流	$qnS\bar{v}$	$1/k$
容量	$\epsilon x^2/x$	$1/k$
素子遅延	CV/I	$1/k$
消費電力	VI	$1/k^2$
回路面積	x^2	$1/k^2$
電力密度	VI/x^2	1
配線抵抗	$\rho x/x^2$	k
相対的な電圧降下	IR/V	k
配線遅延	RC	1
電流密度	I/x^2	k
電界強度	v/x	1

表 1.1: スケーリング則に基づく各要素の変化 [1]

る。(1.1) 式から CMOS 集積回路の低消費電力化には、おおまかにはこれら 4 つの要素を小さくすればよいことがわかる。

以下本節では、これら 4 つの要素それぞれを小さくするアプローチに関する従来の研究を要約しておく。

1.1.1 微細化による低消費電力化

1974 年に R.H.Dennard により発表された「スケーリング則」[1]は、MOS トランジスタ素子の微細化が回路の特性に及ぼす影響を定量的にまとめたもので、半導体技術の進むべき道として微細化の方向を示すこととなった。具体的には、回路を構成する MOS トランジスタの寸法、しきい電圧、電源電圧を $1/k$ 倍に、不純物濃度を k 倍にしたときの回路の性能の変化は表 1.1 のようになるというものである。

これらからわかるように、素子の微細化によって素子遅延、消費電力が低減できるため、回路の高速化・低消費電力化のためには、その時代の技術が許す限りの微細化を行うのが手短である。しかし、これによっては電界強度・電力密度・配線遅延は低減できず、また電流密度はかえって増加するため、MOS トランジスタ素子の

物理的な耐性や配線遅延の顕在化といった問題が生じる。

実際のスケーリングでは、金属配線の耐性の理由から厚さ方向の寸法は縮小しにくく、電源電圧も、後述のように主に工業標準化の理由から必ずしもスケーリング則に従って縮小されにくい。また MOS トランジスタのサブスレッショルド電流の問題のために MOS トランジスタのしきい電圧も縮小しにくいため、スケーリング則に従った低消費電力化にはこれらの問題も考慮しなければならない。

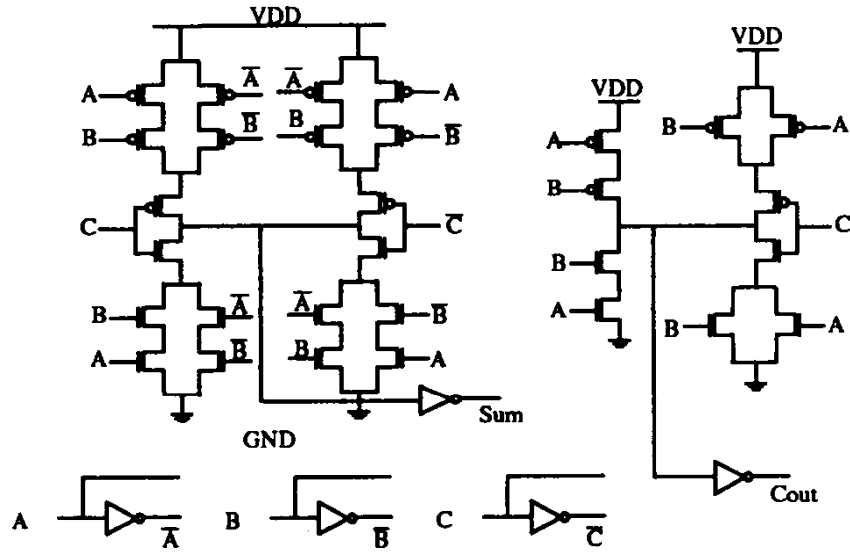
1.1.2 負荷容量 C_L の低減による低消費電力化

回路が駆動すべき容量には、主に次のものがある。

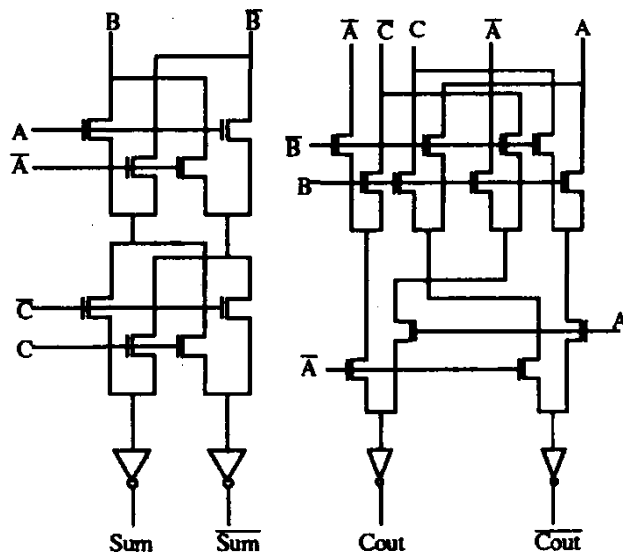
- 配線容量 C_{wire}
- ゲート容量 C_g
- 接合容量 C_j
- 空乏層容量 C_d

集積回路構造の微細化のうち、金属配線に関しては前述の通り、主にその耐性の面から厚さ方向が縮小しにくく、したがって相対的に厚さ方向が大きくなることで配線容量の影響が増加する傾向がある。またゲート容量は、あるノードに接続する次段の MOS トランジスタ数にも関連するため、これを低減するには回路そのものを再構成することも有効である。近年、主な論理機能を実現するのに、従来の CMOS よりも少ないトランジスタですむ CPL (Complementary Pass-transistor Logic) と呼ばれる回路構成法が考案されており、これによってトランジスタの数を減らすことでゲート容量や配線容量を低減できる可能性がある [2]。

接合容量や空乏層容量は回路の直接の負荷にはならず、その大きさも一般的に配線容量等に比べて小さい (20%程度) が、その充放電電力は全体の消費電力を見積もる上では無視できない [3]。接合容量は素子構造そのものに依存するため、これを減らすための新しい素子の構造がいくつか提案されている。例えば、絶縁膜上に Si 結晶を成長させ、そこにトランジスタを作り込む薄膜 SOI (Silicon On Insulator) 構造、あるいは、Si 単結晶の下に酸素イオンを打ち込んで酸化膜を形成する SIMOX (Separation by IMplanted OXYgen) /SOI 構造は、接合容量が小さいことやショー



Transistor count (conventional CMOS) : 40



Transistor count (CPL) : 28

図 1.2: 通常の CMOS と CPL で構成した 1 ビット全加算器 [2]

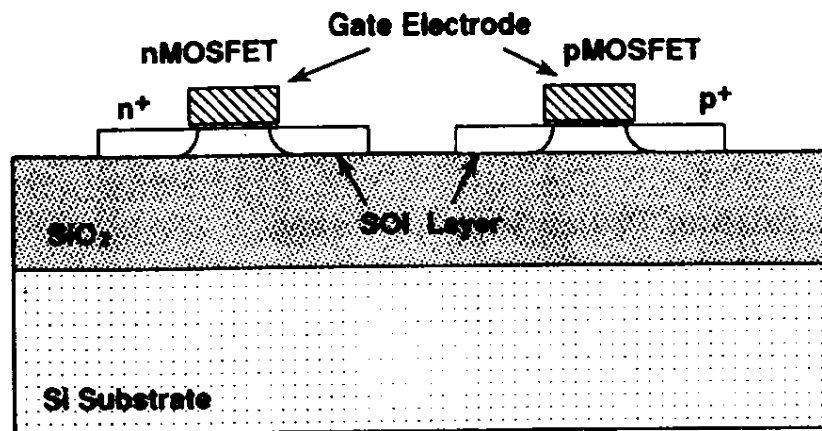


図 1.3: SOI 構造 [4]

トチャネル効果に強いなどの特長があり、サブミクロンデバイスに有効な構造として研究が進められている [4]。

ただ、薄膜 Si の結晶性や Si 層の膜厚制御性等、作成上の問題を解決しなければならない。またその動作特性にも不明な点が多く、今後の研究成果が待たれる。

SOI 構造のこれらの利点をバルク Si で実現する構造として、チャネル直下のウェルを浅くして空乏層容量を低減できる CMOS-SJET (CMOS-Shallow Junction Well FET) 構造が考案されている [4]。この構造は従来のバルク Si の製造技術の延長で作成でき、しかも特に低電源電圧動作での高速・低消費電力が示されている。

1.1.3 電源電圧 V_{dd} の低減による低消費電力化

デジタル回路の電源電圧は、主に標準化の理由から長い間いわゆる TTL レベルの +5V が続いてきた。しかし、DRAM (Dynamic Random Access Memory) 等のメモリ素子に代表されるような微細化によって、5V では素子の信頼性確保が困難となってきた [6]。そのため、外部から加える電圧は 5V でも、内部に降圧回路をもつことで素子そのものの電源電圧を実効的に下げる技法が取り入れられたりしたが、降圧回路での損失等も無視できないため、外部電源電圧そのものの低電源電圧化が一般的になりつつある。この低電源電圧化は低消費電力化にもつながるため好意的に受け止められ、ゲートアレイやマイクロプロセッサ等のメモリ素子以外でも

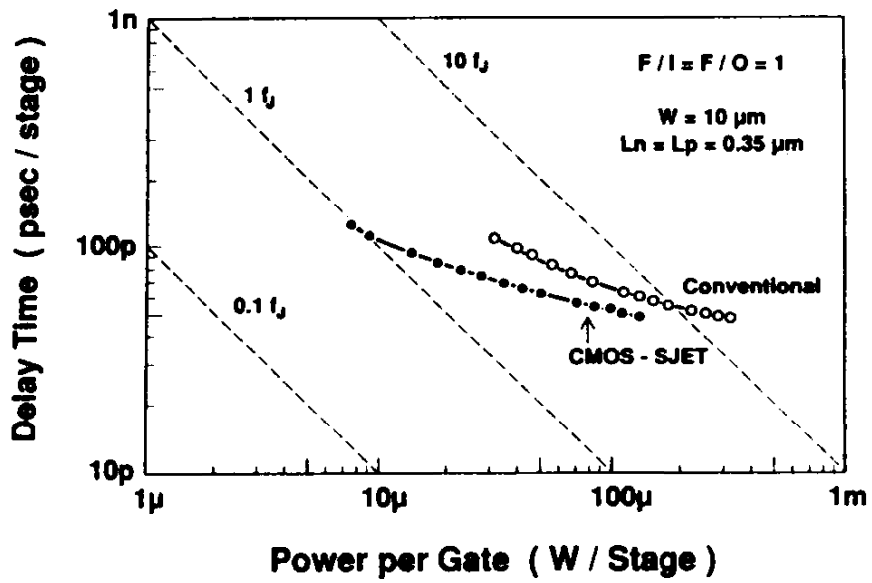
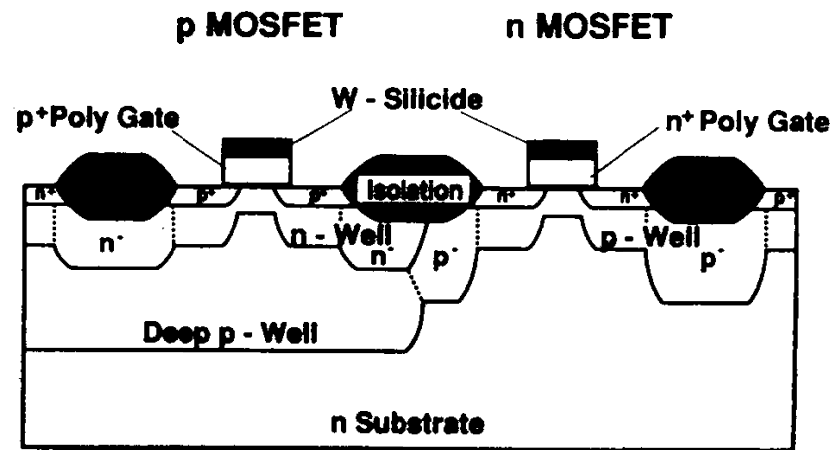


図 1.4: CMOS-SJET 構造とその電力遅延時間積 [4]

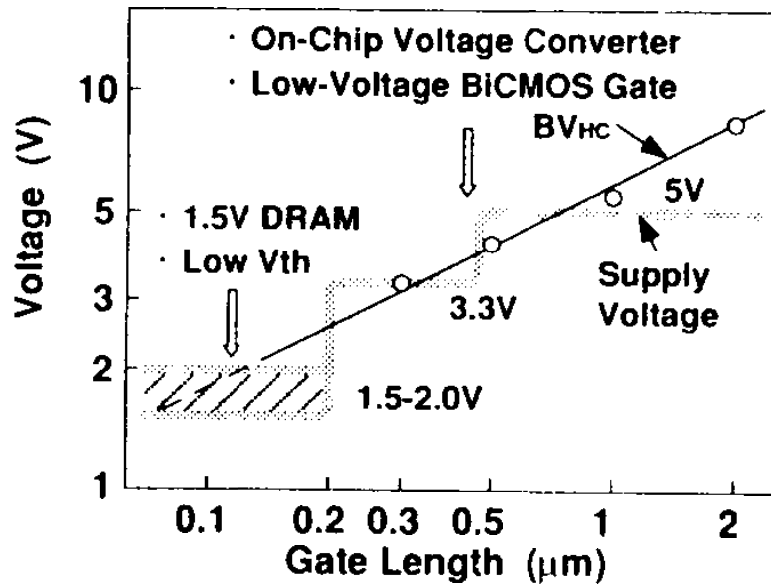


図 1.5: 素子の微細化と低電源電圧化傾向 [5]

3.3V や 3V といった電源電圧が標準となりつつある。

スケーリング則によれば、電源電圧の低下とともに MOS トランジスタのしきい電圧も低減する必要がある。しかし、しきい電圧の低下とともに MOS トランジスタがオフ時の漏れ電流であるサブスレッショルド電流が増加するため、安易にしきい電圧を低下させることはできない。従ってむやみに電源電圧を低下させることもできず、電源電圧には下限が存在することになる。なお、サブスレッショルド電流を増加させずにしきい電圧を低減できる前出の SOI や CMOS-SJET のような素子構造も有効である。

なお、種々の回路構成上の技法やプロセス改良によって更なる低電源電圧化への努力が進められ、バッテリー駆動を目標とした 1.5V 以下の電源電圧で動作する素子も発表されている [7]。

1.1.4 信号振幅 V_S の低減による低消費電力化

情報伝達のための信号振幅 V_S は、一般に電源電圧と同じにすることが多い。しかしコンピュータのバスライン等ではその配線容量が大きいため、この部分の充放

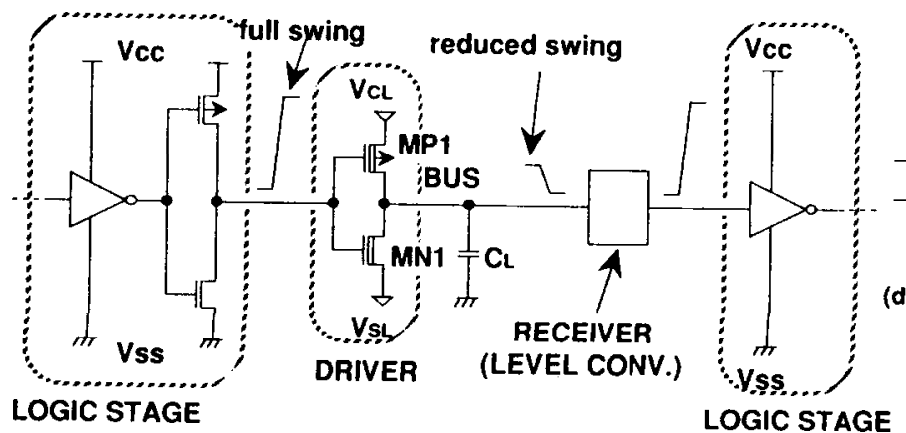


図 1.6: 低信号振幅データ転送のための回路構成 [4]

電電力が無視できない。

そこでこのような配線容量が大きい部分に関しては信号振幅を小さくし、受信側にそれを増幅する回路を用意することによって、通信路での消費電力を低減する方法が提案されている [8]。受信側の増幅回路等のオーバーヘッドが必要となるが、バスラインのドライバが小さくてすむために全体の回路面積も小さくできる可能性があり、マイクロプロセッサのバスライン等での効果が指摘されている [4]。

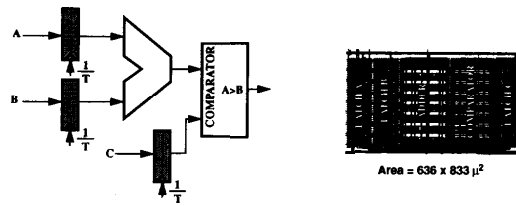
1.1.5 動作周波数 f の低減による低消費電力化

回路の性能は一般には動作周波数に比例すると考えられるため、回路の信号周波数 f を低減することは、一般にはそのまま回路性能の低下につながる。そのため、従来は性能を維持するために、動作周波数を低減すると共に回路の並列化やパイプライン化等の技法が必要とされてきた [2]。

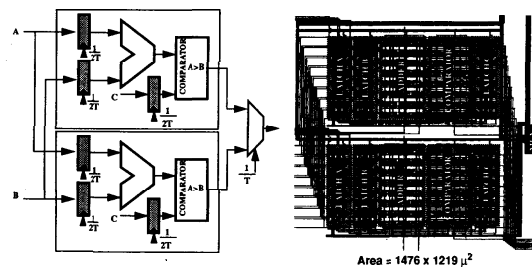
1.1.6 スタンバイモード

CMOS 集積回路の本質的な低消費電力化技術というわけではないが、最近の使用時以外にはクロックの供給を止めたりデータ保持に最低限必要な電源のみを供給するようにする、いわゆる「スタンバイモード」を備える素子が多くなってきた [9]。

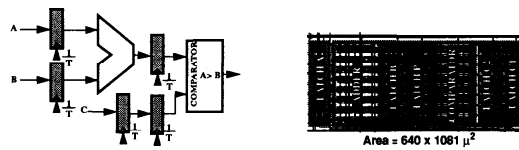
この方法は、例えば動画圧縮の回路のように常時ピーク性能を要求される回路で



(a) 通常の回路



(b) 並列化した回路



(c) パイプライン化した回路

回路構成		電源電圧	面積	消費電力
パイプライン	並列			
—	—	5.0V	1.0	1.0
—	—	2.9V	1.3	0.39
—	—	2.9V	3.4	0.36
—	—	2.0V	3.7	0.2

(d) 各回路の比較

図 1.7: 種々の回路構成法とその速度・消費電力 [2]

はあまり効果がない。しかし、例えばメモリ素子では必ずしも常時すべてのメモリセルがアクセスされているわけではないので、必要な箇所のみをアクティブにするようにすることで平均的にチップ全体の消費電力の低減が可能となる。また、マイクロプロセッサ等の論理回路でも CMOS スタティック回路で構成されたものであれば、必要に応じてシステムクロックを完全に停止することで消費電力を無視できるほどにまで小さくできる。このようなスタンバイモードは、マイクロプロセッサの特殊な命令で移行したり、または外部に専用の回路を持つことで実現したりする。スタンバイモードは、当初は携帯機器等のバッテリー寿命を延ばすための技法であったが、地球環境問題に対する意識の普及と共に、据え置き型の機器に対しても電子回路のみならず周辺機器も含めて広く普及しつつある。

1.2 本論文の構成

以上のような背景をふまえ、本論文では論理回路の低消費電力化の方法として回路の平均動作周波数 \bar{f} を低減するアプローチをとる。具体的には、組合せ論理回路と順序回路のそれぞれについて、回路性能の低下をとまわずに \bar{f} を低減する方法の提案を行い、その評価を行う。

まず第 2 章では、組合せ論理回路の入力信号の特性を確率的に表現することにより負荷容量の充放電特性を解析的に取り扱う確率遷移モデルを提案する。また、CMOS 論理回路の論理的に対称な入力端子が回路的には非対称であることに着目し、最適な入力割当を行うことによる低消費電力化の手法を提案する。そして、その確率遷移モデルの検証および最適入力割当による低消費電力化の効果を、続く第 3 章で述べる。

続いて第 4 章では、順序回路として有限状態遷移機械 (Finite State Machine; FSM) をとりあげ、その動作特性を解析的に取り扱うための確率的モデルを提案する。また状態遷移回路の各状態への状態符号割当が一意には定まらないことに着目し、消費電力の期待値を最小にするための状態符号割当方法およびそれを実現するためのアルゴリズムを提案する。そして、その状態符号割当のアルゴリズムの評価、および本状態符号割当方法の消費電力・論理回路規模の両面からの評価を、続く第 5 章で行う。

最後に、本論文の結論および今後の展望について第 6 章で述べる。

第2章

組合せ論理回路の確率遷移モデルと 低消費電力化

本章では、入力信号の特性を確率的に表現することによって、組合せ論理回路の負荷容量充放電による動的消費電力を解析的に取り扱うためのモデル（確率遷移モデル）を提案する。

また CMOS 論理回路では、論理的に対称な入力端子であっても回路的には非対称であることに着目し、負荷容量充放電の頻度を低減するための入力割当によって、組合せ論理回路の消費電力を低減する方法を提案する。

2.1 入力信号の確率的表現

論理回路の入力信号は、ある一定の規則に従って変化するわけであるが、本章では入力信号に対して以下のような仮定を設定する。

- 同期信号であり、システムクロックに同期して変化する。
- その変化特性が統計的に確率的な遷移であるとし、次の状態（“0” または “1”）は、現在の状態（“0” または “1”）に依存する。（いわゆる単純 Markov 過程である）
- 複数の信号がある場合、それらの変化は互いに独立である。

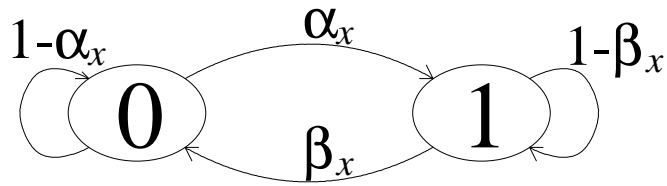


図 2.1: 入力信号の確率パラメータ (α_x, β_x) の定義

このような仮定によれば、入力信号 x に対して 2 つの条件つき確率を定義できる。すなわち図 2.1 のように、現在 “0” であって遷移後も “1” である条件つき確率 α_x と、“1” から “0” への条件つき遷移確率 β_x の 2 つの条件付き確率 (α_x, β_x) の組によって入力信号の特性を表現する。(この組を入力信号 x の確率パラメータと呼ぶ) これを用いると、“0” から “0” への遷移確率は $(1 - \alpha_x)$ 、“1” から “1” への遷移確率は $(1 - \beta_x)$ と書くことができる。

十分遷移が起こった後の定常状態で、入力が “0”、“1” である確率をそれぞれ P_0 、 P_1 とすると、 $P_1 = 1 - P_0$ であるので、次式が成り立つ。

$$P_0 = P_0(1 - \alpha_x) + (1 - P_0)\beta_x \quad (2.1)$$

(2.1) 式を解くことで、 P_0 、 P_1 が次のように求められる。

$$P_0 = \frac{\beta_x}{\alpha_x + \beta_x} \quad (2.2)$$

$$P_1 = \frac{\alpha_x}{\alpha_x + \beta_x} \quad (2.3)$$

2.2 論理ゲートの確率的モデル

次に、入力信号の確率パラメータに基づき、論理回路の信号遷移特性をモデル化する。

まず、組合せ論理回路の最も基本的な構成要素である 2 入力 NAND ゲートを図 2.2 のようにモデル化する。ここで C_L は NAND ゲートの負荷容量、 C_i は拡散容量等の内部ノード容量である。

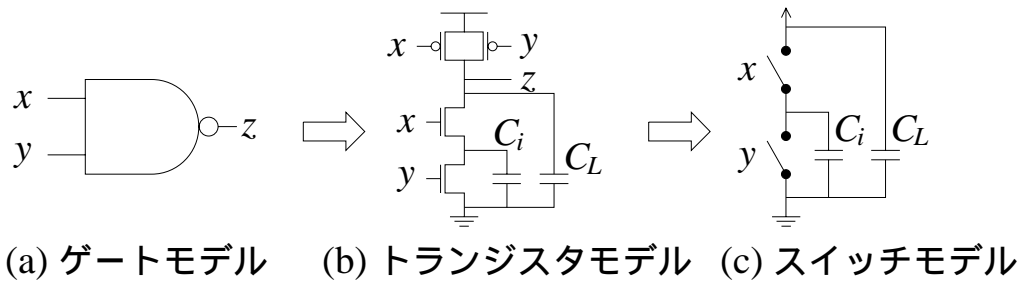


図 2.2: 2 入力 NAND ゲートのモデル化

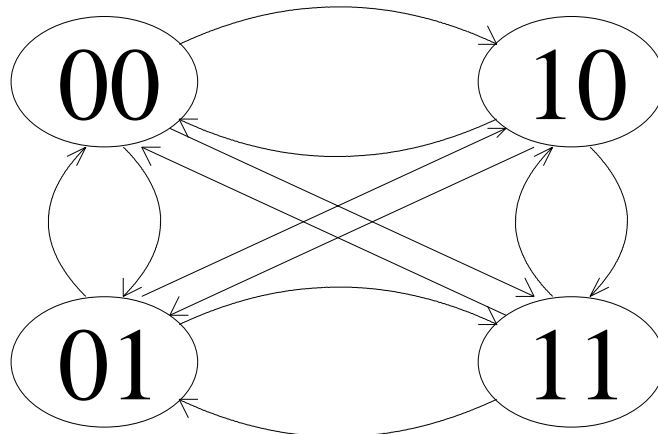


図 2.3: 4 通りの 2 入力の組合せの状態遷移図

2つの入力 x, y の各々の確率パラメータをそれぞれ $(\alpha_x, \beta_x), (\alpha_y, \beta_y)$ とすると、4通りの入力の組合せに対して図 2.3 のような状態遷移図を描くことができる。ここで例えば “01” は、入力 x が “0”、入力 y が “1” であることを表す。2つの入力の独立を仮定すると、各遷移の確率が各々の入力の遷移確率の積で表現できる。すなわち、例えば入力 (x, y) が “10” であるときに、次に “11” へ遷移する条件付き確率は、入力 x が “1” から “1” へ遷移する確率 $(1 - \beta_x)$ と入力 y が “0” から “1” へ遷移する確率 α_y の積 $(1 - \beta_x)\alpha_y$ となる。

同様にして、定常状態で入力が各々の組合せにある確率も、各々の入力の状態の確率の積として表現できる。すなわち例えば、入力が “10” である確率は入力 x が “1” である確率と y が “0” である確率の積となる。(2.2), (2.3) 式を用いてこれらをすべて求めると、次式のようになる。

$$P_{00} = \frac{\beta_x}{\alpha_x + \beta_x} \cdot \frac{\beta_y}{\alpha_y + \beta_y} \quad (2.4)$$

$$P_{10} = \frac{\alpha_x}{\alpha_x + \beta_x} \cdot \frac{\beta_y}{\alpha_y + \beta_y} \quad (2.5)$$

$$P_{01} = \frac{\beta_x}{\alpha_x + \beta_x} \cdot \frac{\alpha_y}{\alpha_y + \beta_y} \quad (2.6)$$

$$P_{11} = \frac{\alpha_x}{\alpha_x + \beta_x} \cdot \frac{\alpha_y}{\alpha_y + \beta_y} \quad (2.7)$$

ただし、 P の添字は、左から順に x, y の値を表す。これを用いると、例えば “10” から “11” への遷移がおこる確率は次式のようになる。

$$P_{10 \rightarrow 11} = \frac{\alpha_x}{\alpha_x + \beta_x} \frac{\beta_y}{\alpha_y + \beta_y} \cdot (1 - \beta_x)\alpha_y \quad (2.8)$$

組合せ論理回路では、入力 x, y の遷移がシステムクロックに同期して起こると、それに同期して出力 z にも遷移がおこると考えられる。すなわち、出力 z もシステムクロックに同期して “0” と “1” の間を遷移することになるため、その確率パラメータ (α_z, β_z) を定義することができる。

α_z は出力の “0” から “1” への遷移の確率であるが、表 2.1 と 図 2.4 から、入力が “11” から “00”, “10”, “01” のいずれかに遷移する確率に等しい。よって (α_z, β_z) は次式のように求められる。

$$\alpha_z = 1 - (1 - \beta_x)(1 - \beta_y) \quad (2.9)$$

x	y	z
0	0	1
1	0	1
0	1	1
1	1	0

表 2.1: 2 入力 NAND ゲートの真理値表

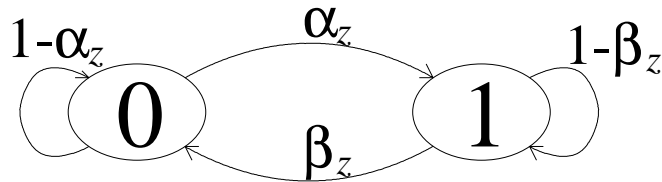


図 2.4: NAND ゲートの出力 z の状態遷移図

$$\beta_z = \frac{\{P_{00}(1 - \alpha_x \alpha_y) + P_{10}(1 - \alpha_y + \beta_x \alpha_y) + P_{01}(1 - \alpha_x + \alpha_x \beta_y)\}}{(P_{00} + P_{01} + P_{10})} \quad (2.10)$$

2.3 論理ゲートの消費電力の期待値

2.3.1 負荷容量の充放電状態

図 2.2(c) のスイッチモデルでは、負荷容量 C_L は入力が “00”, “01”, “10” のいずれかるとき V_{dd} に接続されて電荷 $Q_L = C_L V_{dd}$ が充電され、入力が “11” のときには GND に接続されて放電される。すなわち、 C_L の充放電状態は充電された状態 (これを “1” と呼ぶ) と放電された状態 (これを “0” と呼ぶ) に二値化できる。そして、システムクロックに同期した入力の遷移に同期して C_L の充放電状態にも遷移が起こるため、その充放電状態に対しても図 2.5 のような状態遷移図を描いてその確率パラメータを定義することができる。具体的には、負荷容量 C_L が充電された状態 “1” は出力 z が “1” のときに、放電された状態 “0” は出力が “0” のときにお

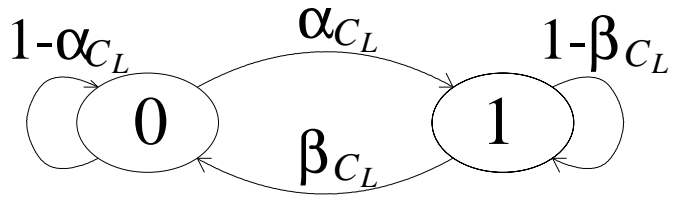


図 2.5: 負荷容量 C_L の充放電状態の状態遷移図

こるため、 C_L の確率パラメータ $(\alpha_{C_L}, \beta_{C_L})$ は出力 z の確率パラメータ (α_z, β_z) に等しい。つまり、それらは (2.9), (2.10) 式から次式のように求めることができる。

$$\alpha_{C_L} = \alpha_z, \quad \beta_{C_L} = \beta_z \quad (2.11)$$

1 回の遷移あたりに負荷容量 C_L に充電がおこる回数の期待値 $\overline{N_{C_L}}$ すなわち充電がおこる確率は、放電された状態 “0” から充電された状態 “1” への遷移がおこる確率に等しいため、次式のように書くことができる。

$$\overline{N_{C_L}} = \frac{\beta_{C_L}}{\alpha_{C_L} + \beta_{C_L}} \cdot \alpha_{C_L} = \frac{\alpha_{C_L} \beta_{C_L}}{\alpha_{C_L} + \beta_{C_L}} \quad (2.12)$$

2.3.2 内部容量の充放電状態

図 2.2(c) の内部容量 C_i についても、その充放電状態は電荷 $Q_i = C_i(V_{dd} - V_T)$ が充電された状態 “1” と、放電された状態 “0” に二値化できる。(ここで V_T は n チャネル MOS トランジスタのしきい電圧である) C_i は入力が “10” のときには充電され、入力が “01” あるいは “11” のときには放電されるが、入力が “00” のときには V_{dd} にも GND にも接続されない浮遊状態となるため、この状態を考慮する必要がある。

そこで、入力が “00” である状態を、 C_i の状態に応じて分けて考える。すなわち、“00” を、 C_i が充電された状態 “00(1)” と、放電された状態 “00(0)” とに分ける。この 2 つの状態を考慮した 入力の状態遷移図を図 2.6 に示す。“00(1)”, “00(0)” の状態になる確率をそれぞれ $P_{00}^{(1)}, P_{00}^{(0)}$ とすると、この両者は排反であるので次式が成り立つ。

$$P_{00}^{(1)} + P_{00}^{(0)} = P_{00} \quad (2.13)$$

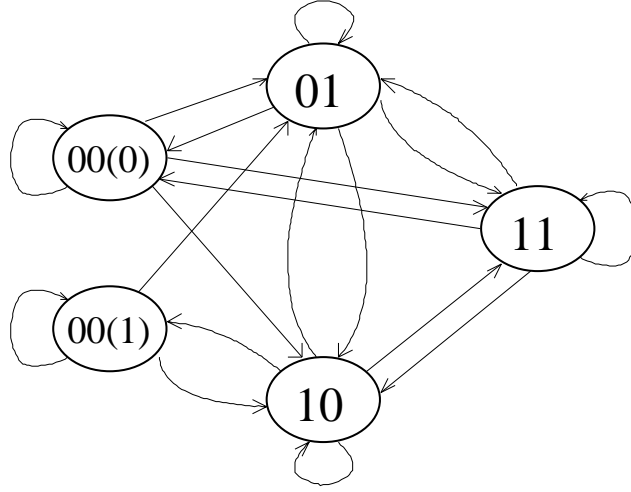


図 2.6: 内部容量 C_i の浮遊状態を考慮した入力の状態遷移図

(2.13) 式と C_i の充放電状態を考慮すると定常状態では次式が成り立つ。

$$P_{00}^{(1)} = P_{00}^{(1)}(1 - \alpha_x)(1 - \alpha_y) + P_{10}\beta_x(1 - \alpha_y) \quad (2.14)$$

$$P_{00}^{(0)} = P_{00}^{(0)}(1 - \alpha_x)(1 - \alpha_y) + P_{01}(1 - \alpha_x)\beta_y + P_{11}\beta_x\beta_y \quad (2.15)$$

(2.14), (2.15) 式から、 $P_{00}^{(1)}$, $P_{00}^{(0)}$ の具体的な形を次式のように求めることができる。

$$P_{00}^{(1)} = \frac{P_{10}\beta_x(1 - \alpha_y)}{\alpha_x + \alpha_y - \alpha_x\alpha_y} \quad (2.16)$$

$$P_{00}^{(0)} = \frac{P_{01}(1 - \alpha_x)\beta_y + P_{11}\beta_x\beta_y}{\alpha_x + \alpha_y - \alpha_x\alpha_y} \quad (2.17)$$

(2.16), (2.17) 式を用いて、 C_L の場合と同様に C_i の充放電状態についての状態遷移図を描き、その確率パラメータ ($\alpha_{C_i}, \beta_{C_i}$) を次式のように求めることができる。

$$\alpha_{C_i} = \frac{P_{00}^{(0)}(\alpha_x - \alpha_x\alpha_y) + P_{01}\alpha_x\beta_y + P_{11}(\beta_y - \beta_x\beta_y)}{P_{00}^{(0)} + P_{01} + P_{11}} \quad (2.18)$$

$$\beta_{C_i} = 1 - \alpha_y \quad (2.19)$$

これを用いると、(2.12) 式の場合と同様に内部容量 C_i に充電がおこる回数の期待値 $\overline{N_{C_i}}$ を次式のように求めることができる。

$$\overline{N_{C_i}} = \frac{\alpha_{C_i}\beta_{C_i}}{\alpha_{C_i} + \beta_{C_i}} \quad (2.20)$$

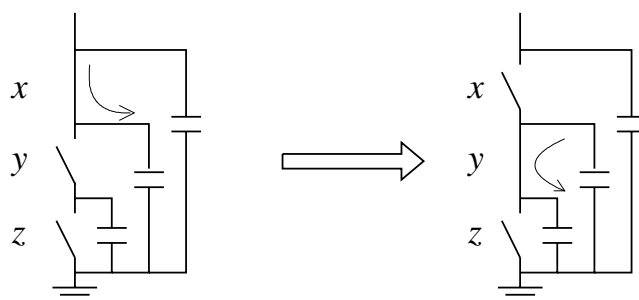


図 2.7: 多入力ゲートにおける内部容量間の電荷再分配

2.3.3 NAND ゲートの消費電力の期待値

2.3.1, 2.3.2 節の過程によって、1 回の遷移で各容量に充電がおこる回数の期待値 $\overline{N_{C_L}}$, $\overline{N_{C_i}}$ が求められた。これを用いると、システムクロック周波数が $f[\text{Hz}]$ のとき、単位時間あたりに各容量に充電されるエネルギーの和、すなわち回路の動的消費電力の期待値 \overline{P} は次式によって求めることができる。

$$\overline{P} = f \{ \overline{N_{C_L}} C_L V_{dd}^2 + \overline{N_{C_i}} C_i V_{dd} (V_{dd} - V_T) \} \quad (2.21)$$

以上のようなモデルを、確率遷移モデルと呼ぶことにする。なお、ここでは 2 入力 NAND ゲートに対してモデル化を行ったが、他の論理素子、例えば NOR ゲート、SR-FF (Set Reset Flip-Flop) に対しても負荷容量と内部容量の充放電状態を考慮することで同様のモデル化を行うことができる。(これらの定式化については付録 A を参照のこと)

2.4 多入力ゲートのモデル化

3 つ以上の入力端子をもつ論理ゲート素子に対しても以上のような確率遷移モデルを記述することは可能である。しかし 3 入力以上のゲートでは内部容量が複数存在し、たとえ出力が変化しないときでも、図 2.7 のように内部容量間のみで電荷の再分配がおこる場合がある。このような場合、内部容量の電荷を二値化することはできないため連続量として取り扱う必要がある。

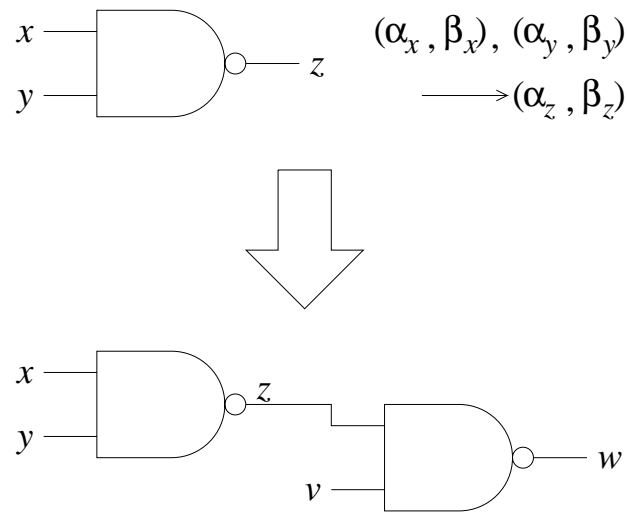


図 2.8: 複数の論理ゲートからなる論理回路の確率遷移モデルの適用

本章の確率遷移モデルを多入力ゲートに適用することは解析的に困難となるため、未解決の問題となっている。

なお、同じく入力信号を確率的に表現するモデルで、本研究とは異なったアプローチによってこの問題を考慮した研究も報告されている [3]。

2.5 一般の論理回路の確率的モデル

以上のような一つの論理ゲート素子の確率遷移モデルを、複数のゲートからなる一般の論理回路に適用するための方法を考える。例えば図 2.8 のような回路においては、次のような手順をふむ。

1. 左側の NAND ゲートについて、入力 x, y の確率パラメータ $(\alpha_x, \beta_x), (\alpha_y, \beta_y)$ から、その消費電力の期待値と出力 z の確率パラメータ (α_z, β_z) を求める。
2. 右側の NAND ゲートについて、入力 z の確率パラメータを、左側の NAND ゲートの出力の確率パラメータ (α_z, β_z) とみなし、これと入力 v の確率パラメータ (α_v, β_v) から消費電力の期待値と出力 w の確率パラメータ (α_w, β_w) を求める。

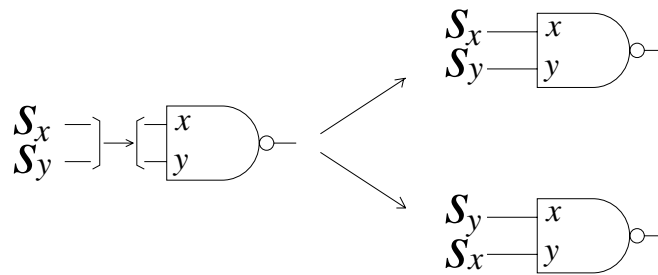


図 2.9: NAND ゲートの入力端子への入力信号の割当

この手順を論理回路全体に対して適用することによって、回路中の各ノードの確率パラメータ、および各ゲートの消費電力の期待値の和として回路全体の消費電力の期待値を求めることができる。

ただし、回路中の信号の流れに分岐と再結合がある場合、2.1 節での入力間の独立の仮定が成立しない場合がある恐れがある。この問題については、実際のシミュレーション結果とともに 3.1 節で触れる。

2.6 最適入力割当による低消費電力化

図 2.9 のような 2 入力 NAND ゲートに入力信号 $[s_x, s_y]$ を与える場合、それらを実際の NAND ゲートの入力端子 x, y のどちらに割り当てるかは任意であり、通常は無作為に割り当てるか、またはレイアウト上の都合によって割当を決定したりする。

しかし、CMOS 論理回路においては、図 2.2 から明らかなように 2 つの入力端子 x, y は論理的には対称であっても回路的には非対称である。すなわち、入力信号 $[s_x, s_y]$ を入力端子 $[x, y]$ に割り当てた場合 (接続はこの並びの順とする) と、逆に $[y, x]$ に割り当てた場合ではゲート内部のノード遷移頻度、すなわち内部容量の充放電頻度が異なるはずである。

そこでこの両者のうち、内部容量充放電頻度が少ない方の割当を選択することで、論理的機能が同一のまま消費電力の小さい論理回路を実現できることになる。このような、消費電力低減の意味で最適な入力割当は、以下の手順に従って定めるこ

とができる。

1. 入力信号 $[s_x, s_y]$ を入力端子 $[x, y]$ に割り当てた場合の消費電力の期待値 \bar{P} を求める。
2. 入力信号 $[s_x, s_y]$ を逆に入力端子 $[y, x]$ に割り当てた場合の消費電力の期待値 \bar{P}' を求める。これは、(2.11), (2.12), (2.16), (2.17), (2.18), (2.19), (2.20), (2.21) 式において、 (α_x, β_x) と (α_y, β_y) を入れ換えた式から求めることができる。
3. \bar{P}, \bar{P}' を比較し、小さい消費電力を与える方の割当を採用する。

このような手順を、2.5 節の手法によって求められた各ノードの確率パラメータを元にして、論理回路を構成するすべての論理ゲートについて行うことにより、論理機能が同一のまま消費電力の小さい論理回路を構成することができる。この入力割当による実際の消費電力低減の効果については、3.2 節で評価を行う。

第3章

組合せ論理回路の 確率遷移モデルの検証と入力割当の 効果

本章では、第2章で提案した組合せ論理回路の確率遷移モデルの妥当性について検証を行う。また最適入力割当による消費電力低減の効果の、具体的な例を用いた検証を行う。

3.1 確率遷移モデルの検証

3.1.1 NAND ゲートの確率遷移モデルの検証

まず、(2.12), (2.20) 式の2入力 NAND ゲートの各容量 C_L, C_i の充電確率 $\overline{N_{C_L}}, \overline{N_{C_i}}$ について、スイッチレベルのシミュレーションでの検証を行った。入力として、確率パラメータに基づいて乱数で変化する信号を与え、各容量の充放電状態を二値化して記録し、 $\overline{N_{C_L}}, \overline{N_{C_i}}$ との比較を行ったところ、試行回数を十分大きくとることで誤差は 0.1% 程度となり、確率遷移モデルのモデルの妥当性が検証された。

続いて、(2.21) 式の2入力 NAND ゲートの消費電力 \bar{P} について、回路レベルのシミュレーションでの検証を行った。回路シミュレータ spice[10] に、図 3.1 のような2入力 NAND ゲートの回路と、種々の確率パラメータに基づいて乱数で変化する入力信号を与えてシミュレーションを行った。回路の消費電力 P は、電源電圧

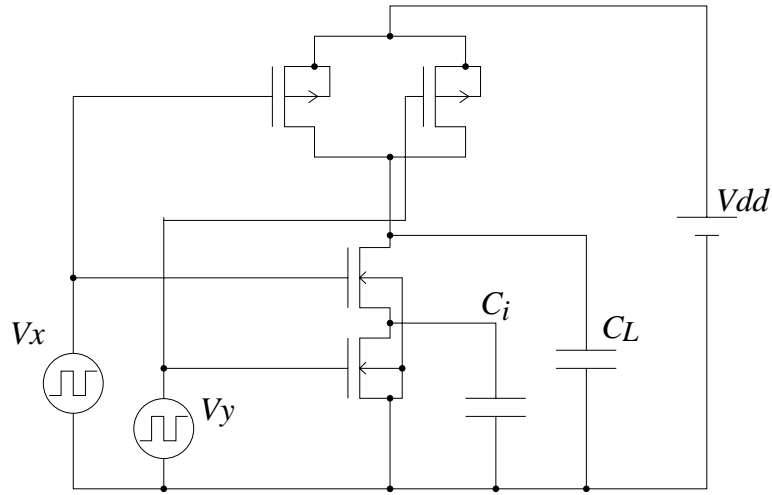


図 3.1: 2 入力 NAND ゲートの回路図

V_{dd} と電源が供給する電流 I_s から次式で求められる。

$$P = \frac{1}{T} \int_0^T V_{dd} I_s dt \quad (3.1)$$

ただし T はシミュレーション時間である。spice のシミュレーション結果から台形公式を用いて数値積分して P を求め、そのときの入力の確率パラメータに対する (2.21) 式の \bar{P} との比較を行った結果を図 3.2 に示す。縦軸が (2.21) 式に基づく消費電力の期待値 P_{model} 、横軸が spice のシミュレーション結果から数値積分で求めた消費電力 P_{sim} であり、グラフの各点は入力の 1 つの確率パラメータに対応している。両者の相関係数 r は 0.9968、回帰直線は $y = 1.009x - 0.025$ であり、(2.21) 式の消費電力の期待値 \bar{P} の妥当性が示された。なお、シミュレーションにおいては、MOS トランジスタのゲート長を $\lambda = 3\mu\text{m}$ 、n チャネルトランジスタ、p チャネルトランジスタのゲート幅をそれぞれ $W_n = 15\mu\text{m}$ 、 $W_p = 30\mu\text{m}$ とし [11]、 $C_L = 40\text{fF}$ 、 $C_i = 20\text{fF}$ 、 $V_{dd} = 5\text{V}$ 、 $V_T = 1\text{V}$ とし、入力信号はシステムクロック 1000 周期分を与えた。

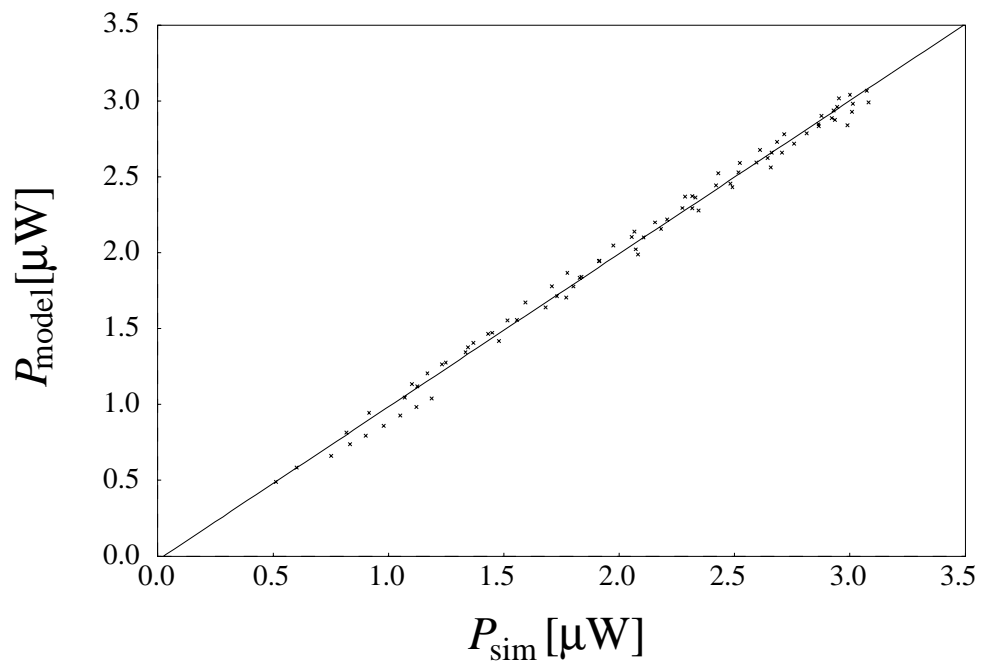


図 3.2: 2 入力 NAND ゲートの消費電力の理論値とシミュレーション値

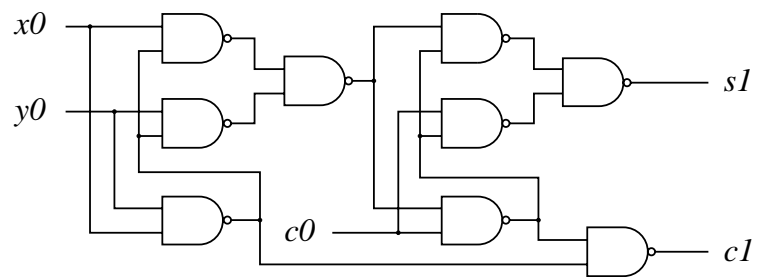


図 3.3: 1 ビット全加算器の回路

3.1.2 一般の論理回路に対する確率遷移モデルの検証

ここでは、複数の論理ゲートからなる論理回路の例として図 3.3 のような 1 ビット全加算器をとりあげた。このような回路への確率遷移モデルの適用の妥当性を検証するため、その入力 x_0, y_0, c_0 のそれぞれに種々の確率パラメータを与え、spice による回路シミュレーションによって消費電力を求めて確率遷移モデルによる消費電力の期待値との比較を行った結果を図 3.4 に示す。図 3.2 と同様、縦軸が (2.21) 式に基づく消費電力の期待値 P_{model} 、横軸が spice のシミュレーション結果から数値積分で求めた消費電力 P_{sim} であり、グラフの各点は入力の 1 つの確率パラメータに対応している。両者の相関係数 r は 0.9440、回帰直線は $y = 1.104x - 10.7$ であった。図 3.2 の 2 入力 NAND ゲートの場合と比べて相関係数が低くなっているが、これは 2.5 節での確率遷移モデルの適用の過程で仮定した入力間の独立が、1 ビット全加算器の一部のゲートで成り立っていないことが原因であると考えられる。しかしこのような回路に対して、全入力が独立であると近似して確率遷移モデルを適用した場合の誤差は無視できると考え、次節でも独立性を仮定した確率遷移モデルを適用した。

3.2 入力割当による低消費電力化の効果

ひき続き、2.6 節で提案した CMOS 論理回路の入力の非対称性に着目した最適入力割当による消費電力低減の効果の評価を行った。

その例として図 3.3 の 1 ビット全加算器をとりあげる。1 つの 2 入力 NAND ゲートについて 2 通りの入力割当が可能であるので、9 つの 2 入力 NAND ゲートから構成されているこの 1 ビット全加算器の全体では $2^9 = 512$ 通りの入力の割当が可能であることになる。シミュレーションでは、入力 x_0 の確率パラメータ $(\alpha_{x_0}, \beta_{x_0})$ を共に 0.1 に固定し、入力 y_0, c_0 の確率パラメータ $(\alpha_{y_0}, \beta_{y_0}), (\alpha_{c_0}, \beta_{c_0})$ を、 $\alpha_{y_0} = \beta_{y_0} = p_{y_0}, \alpha_{c_0} = \beta_{c_0} = p_{c_0}$ の条件で変化させて、システムクロック 1 周期あたりの平均の消費電力 (消費エネルギー) を求めた。

この消費エネルギーのうち、2.6 節の手法による最適な入力割当によるものを U_{min} 、逆に最も消費電力が大きくなるように入力割当を行った場合のものを U_{max} とし、この両者を図 3.5 に示す。なお、 x 軸が入力 y_0 の確率パラメータ p_{y_0} 、 y 軸が

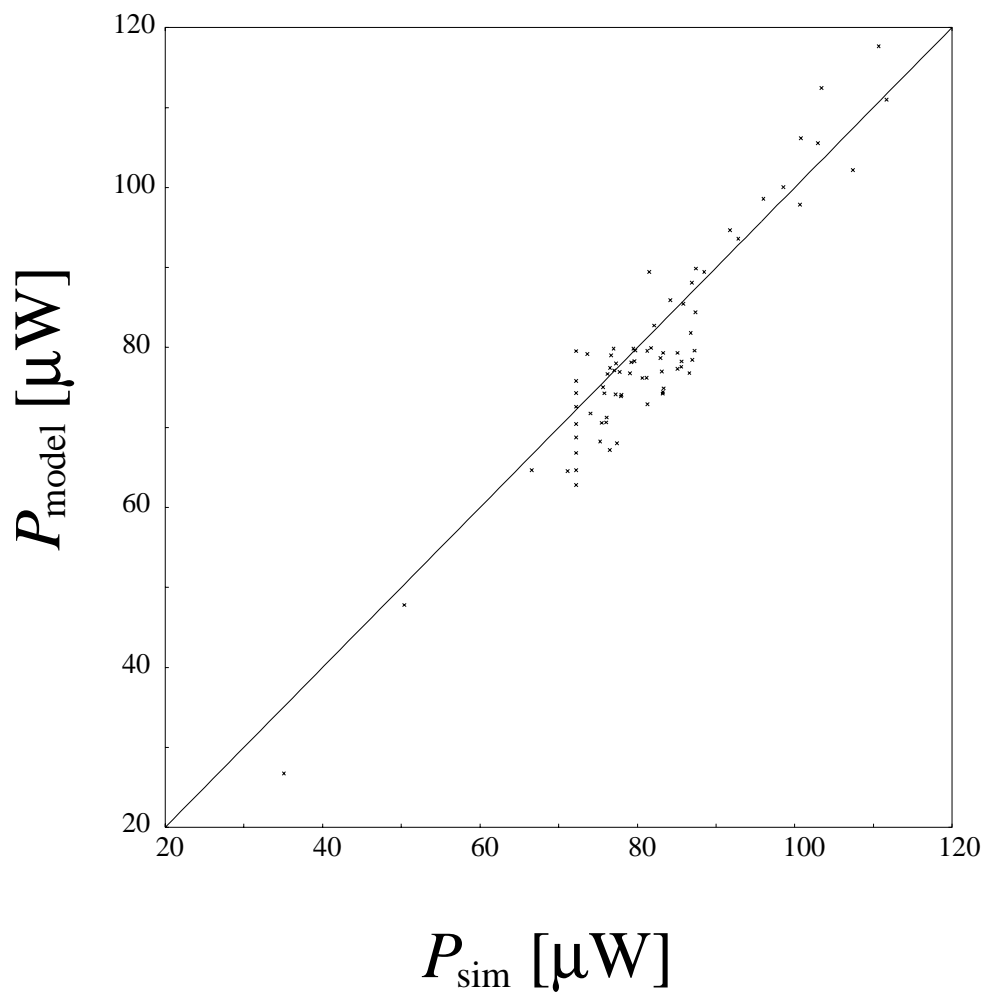


図 3.4: 1 ビット全加算器の消費電力の理論値とシミュレーション値

入力 c_0 の確率パラメータ p_{c_0} であり、すべての NAND ゲートについて負荷容量 $C_L = 40\text{fF}$ 、内部容量 $C_i = 20\text{fF}$ とした。

従来のような、入力割当を考慮しない場合の消費エネルギーはこの両者の中間程度の値となると考えられる。この両者の差は入力信号の確率パラメータに依存するが、最小で 1 : 1.10、最大で 1 : 1.74 であった。

なお、最適入力割当による消費電力低減は内部容量 C_i に依存する。負荷容量 C_L に比べて相対的に C_i が小さい場合は、最適入力割当による効果が小さくなることが考えられる。MOS トランジスタのゲート長が $\lambda = 3\mu\text{m}$ 、n チャネルトランジスタ、p チャネルトランジスタのゲート幅がそれぞれ $W_n = 15\mu\text{m}$, $W_p = 30\mu\text{m}$ の条件の下で平均的な回路構成でパラメータ抽出を行った結果、 $C_L : C_i = 3 : 1$ 程度であった。そしてこの条件のもとで U_{\max} と U_{\min} の比較を行ったところ、その差は最大で 1 : 1.5 となった。

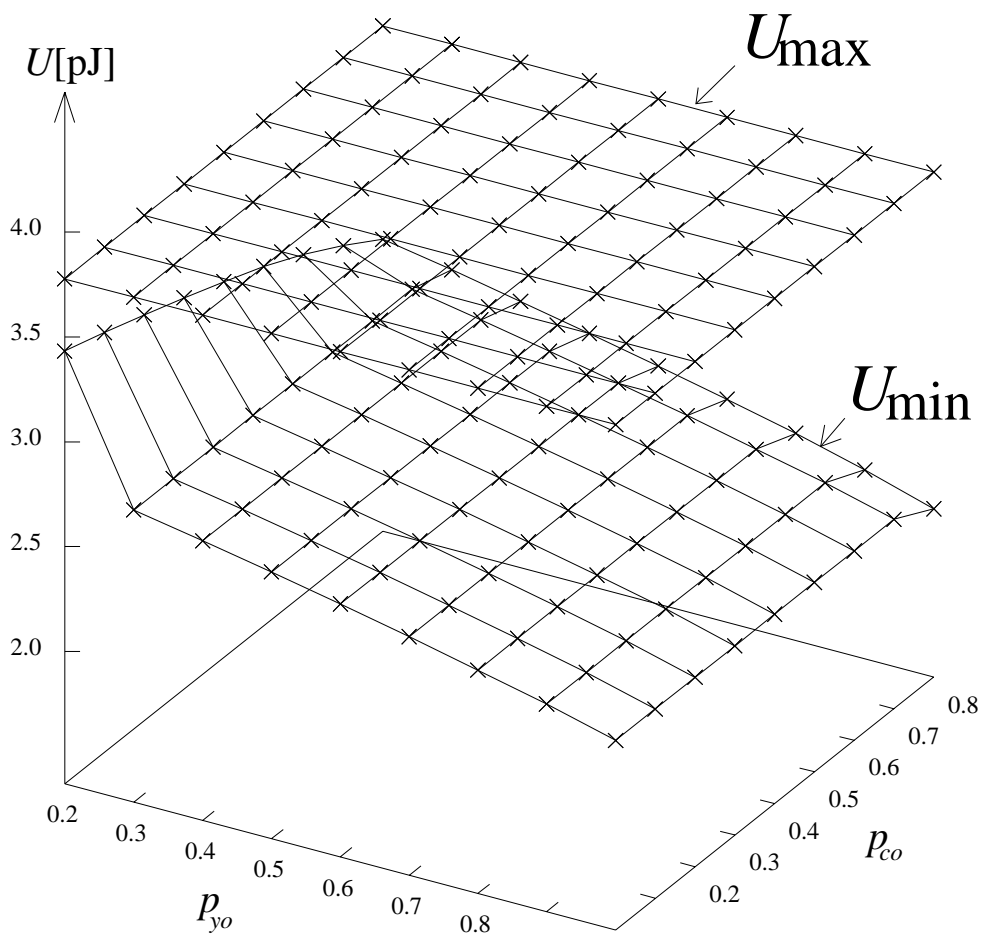


図 3.5: 1 ビット全加算器の、入力割当による消費エネルギーの最大値、最小値

第4章

順序回路の確率的モデルと 低消費電力化

本章では順序回路として状態遷移回路をとりあげ、状態間の遷移特性を確率的に表現することによって、その負荷容量充放電特性を解析的に取り扱うための確率的モデルを提案する。

また、状態遷移回路では各状態への二進数状態符号の割当が一意に定まらないことに着目し、負荷容量充放電電力を低減するための状態符号割当によって状態遷移回路の消費電力を低減する方法を提案する。

4.1 順序回路の構成

以下では、順序回路として図 4.1 のような構成の状態遷移回路を扱う。この状態遷移回路の動的消費電力には、組合せ論理回路部の消費電力とフリップフロップ部の消費電力がある。

本章ではまず最初に、後者のフリップフロップ部の消費電力に着目し、これを低減するための状態符号割当を考える。フリップフロップ部の消費電力の主なものは負荷容量の充放電電力であると考えられるため、フリップフロップの出力である図 4.1 の状態入力の遷移頻度を低減するための状態符号割当によってフリップフロップ部の消費電力を低減できることが期待できる。(実際の同期式フリップフロップでは、出力が遷移しないときでもクロック信号線部分で消費される電力があるが、こ

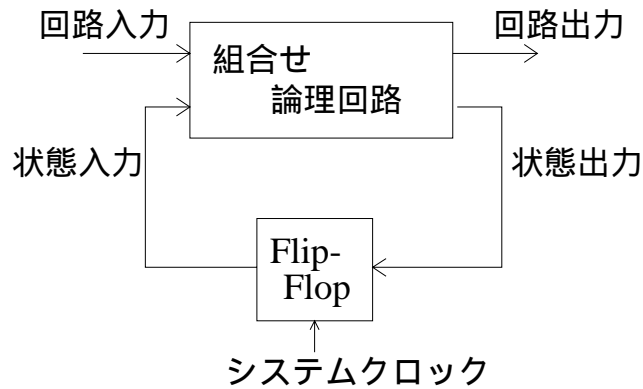


図 4.1: 状態遷移回路の構成

れについては 4.4 節で考慮する。また、組合せ論理回路部の消費電力を含めた評価は 5.6 節で行う。)

4.2 状態遷移回路の確率遷移モデル

ある遷移において、例えば図 4.2 のように状態 “001” から “101” への遷移が起こったとすると、最上位ビットのフリップフロップ (FF2) の出力には 0 から 1 への遷移が起こるが、残りのフリップフロップ (FF1, FF0) には遷移が起こらない。すなわち、この遷移において負荷容量の充放電がおこるフリップフロップは 1 つであることになるが、このことは数学的には 2 つの状態符号間の Hamming 距離が 1 である、と表現することができる。すなわち、ある遷移において負荷容量の充放電がおこるフリップフロップの数は、2 つの状態の状態符号間の Hamming 距離 $d_{i,j}$ に等しい。

さて、状態遷移回路において、現状態からの次状態への遷移が確率的におこると仮定する。すなわち、現状態 j から次状態 i への遷移がおこる確率 (条件つき確率) $\bar{p}_{i,j}$ が既知であると仮定し、これを成分とする行列を \bar{P} とする。またある瞬間に状態 i にいる確率を q_i とし、これを成分とするベクトルを q とする。十分遷移が起こった後の定常状態では、ある瞬間に状態 i となる確率 q_i は次式のように求めることができる。

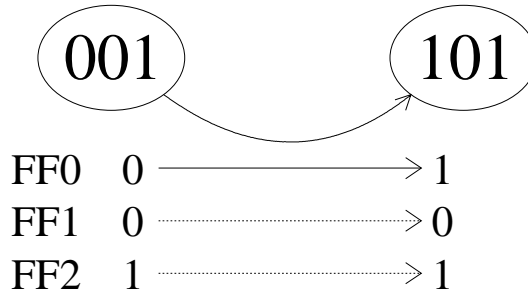


図 4.2: 状態遷移時のフリップフロップの出力の遷移

$$q_i = \sum_{j=1}^N \bar{p}_{i,j} \cdot q_j \quad (4.1)$$

ただし N は状態遷移回路の全状態数である。これをまとめて書くと、定常状態においては次式が成立する。

$$\mathbf{q} = \bar{\mathbf{P}}\mathbf{q} \quad (4.2)$$

ただし各状態にいる確率の和は 1 となるので、 q_i は次式を満たす必要がある。

$$\sum_{i=1}^N q_i = 1 \quad (4.3)$$

この条件のもとで (4.2) 式を解くことによって、各状態の存在確率 q_i を求めることができる。(数学的には、行列 $\bar{\mathbf{P}}$ の、固有値 1 に対応する固有ベクトルを求めることになる)

この $\bar{\mathbf{P}}$, \mathbf{q} を用いると、実際に状態 j から状態 i への遷移がおこる確率 $p_{i,j}$ およびそれを成分とする行列 \mathbf{P} を次式によって求めることができる。

$$p_{i,j} = \bar{p}_{i,j} \cdot q_j \quad (4.4)$$

(4.4) 式の状態間の遷移確率 (これを状態遷移確率と呼ぶことにする) を用いると、1 回の遷移がおこるときの状態符号間の Hamming 距離の期待値 \bar{d} を次式のように求めることができる。

$$\bar{d} = \sum_{i=1}^N \sum_{j=1}^N p_{i,j} \cdot d_{i,j} \quad (4.5)$$

以下では、この \bar{d} を状態遷移回路の消費電力の評価関数と考え、これを最小にするための状態符号割当を考えることにする。

4.3 低消費電力化のための状態符号割当アルゴリズム

状態遷移回路においては、各状態への二進数状態符号割当は一意には定まらない。そのため従来は、例えば図 4.1 の組合せ論理回路部の回路規模を最小にするような状態符号割当が提案されてきた [12]。

しかし状態遷移回路においては、すべての状態間の遷移が均等におこるということはあまり考えにくく、ある特定の遷移がおこりやすい、というように遷移に片寄りがある場合が多い。そこで、頻繁に遷移がおこる 2 状態に Hamming 距離の小さい状態符号を割り当てることによって、状態符号間平均 Hamming 距離である \bar{d} を小さくでき、従って消費電力を低減することが可能であると期待できる。

この \bar{d} を最小にする状態符号割当を決定する最も簡単かつ確実な方法は、状態数 N に対して $N!$ 通りある、すべての可能な状態符号割当の中から \bar{d} を最小にするものを選ぶという全探索法である。しかし実際の状態遷移回路の状態数 N では、すべての可能な割当を現実的な時間内に探索することは困難となって現実的ではない。

そこで、多少は最適性は犠牲にしても実用的な時間で割当を完了できるヒューリスティック (Heuristic) な状態符号割当アルゴリズムを考える。ここでは、遷移確率の高い状態間に Hamming 距離の短い状態符号を割り当てるという方針に基づき、以下のような状態符号割当アルゴリズムを提案する。

1. 各状態の遷移の向きを無視して合成し、遷移確率行列 P から双方向遷移確率行列 $\tilde{P} = \{p_{i,j}^{\sim}\}$ を次式によって合成する。

$$p_{i,j}^{\sim} = \begin{cases} p_{i,j} + p_{j,i} & (i < j \text{ のとき}) \\ 0 & (i \geq j \text{ のとき}) \end{cases} \quad (4.6)$$

2. $p_{i,j}^{\sim}$ のうち 0 でないものを大きさの順に並べる。

3. 最も大きい $p_{i,j}^{\sim}$ について、状態符号 “0” を状態 i に、状態符号 “1” を状態 j に割り当てる。(もちろん i と j は逆でもよい。また “0” と “1” は一意ではない。)
4. 各 $p_{i,j}^{\sim}$ について、全ての状態に符号の割当が完了するまで以下の 5. から 7. の手順をくり返す。
5. 状態 i と状態 j の状態符号が共に確定しているときは次の $p_{i,j}^{\sim}$ に進む。
6. 状態 i と状態 j のどちらか一方のみの状態符号が確定しているときは、確定している方の状態の状態符号から最も Hamming 距離が近い状態符号を、未確定の方の状態に割り当てる。なお、可能な状態符号が複数ある場合は、その時点で確定している状態符号のみから次式で定義する仮の評価関数 \tilde{d} を計算し、それが最小となるものを選ぶ。

$$\tilde{d} = \sum_{i=1}^N \sum_{j=1}^N \tilde{d}_{i,j} \cdot p_{i,j} \quad (4.7)$$

$$\tilde{d}_{i,j} = \begin{cases} d_{i,j} & (\text{状態 } i, j \text{ の状態符号が共に確定しているとき}) \\ 0 & (\text{それ以外の場合}) \end{cases} \quad (4.8)$$

7. 状態 i と状態 j の状態符号がどちらも確定していない場合は、その $p_{i,j}^{\sim}$ をいったん保留し次へ進む。その後の割当で状態 i または状態 j の状態符号が確定した場合は 6. の手順を行なう。

このような割当を実際に行う過程を、図 4.3 のような状態遷移図をもつ状態遷移回路を例として示す。この状態遷移図の条件つき遷移確率行列 \bar{P} を次式のように仮定する。

$$\bar{P} = \begin{bmatrix} 0.414 & 0 & 0 & 0.508 & 0 & 0 & 0 & 0 \\ 0.514 & 0 & 0 & 0 & 0 & 1.000 & 0 & 0 \\ 0 & 1.000 & 0 & 0 & 0 & 0 & 0 & 1.000 \\ 0.072 & 0 & 0.216 & 0 & 0 & 0 & 0.070 & 0 \\ 0 & 0 & 0 & 0.492 & 0 & 0 & 0.290 & 0 \\ 0 & 0 & 0 & 0 & 0.355 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0.645 & 0 & 0.292 & 0 \\ 0 & 0 & 0.784 & 0 & 0 & 0 & 0.348 & 0 \end{bmatrix} \quad (4.9)$$

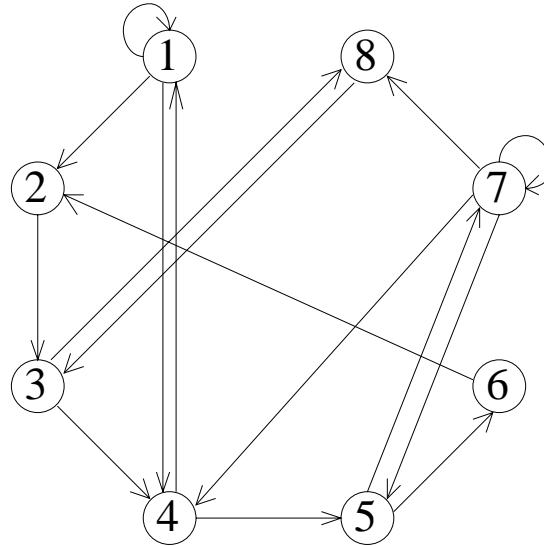


図 4.3: 状態遷移図の例

$\tilde{p}_{i,j}$	双方向遷移確率
$p_{3,8}$	0.576
$p_{3,4}$	0.077
$p_{2,3}$	0.059
$p_{5,7}$	0.052
$p_{1,4}$	0.049
$p_{4,5}$	0.042
$p_{1,2}$	0.038
$p_{2,6}$	0.020
$p_{5,6}$	0.020
$p_{7,8}$	0.018
$p_{4,7}$	0.004

表 4.1: 双方向遷移確率 $\tilde{p}_{i,j}$ を並べかえた結果

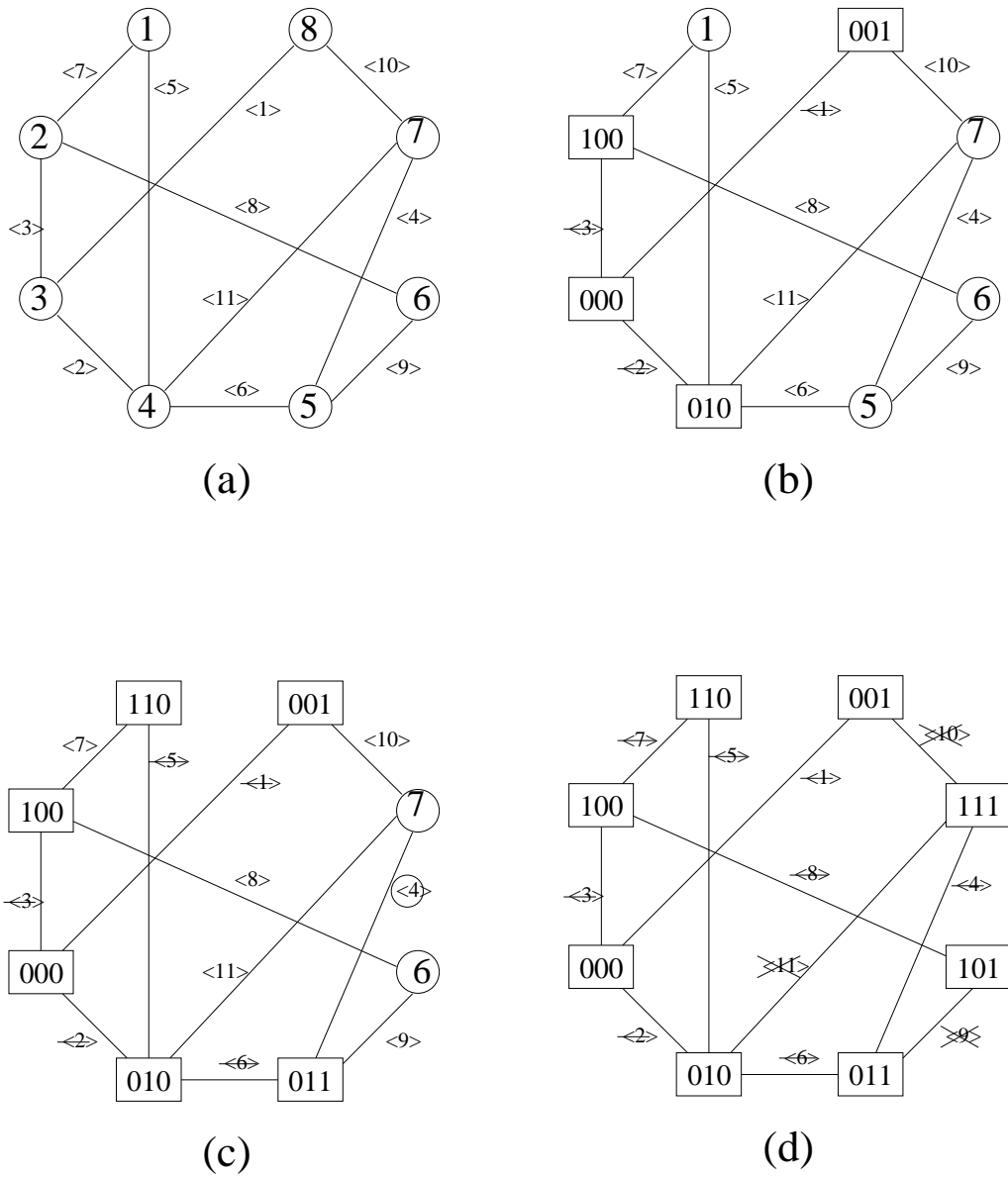


図 4.4: 図 4.3 の状態遷移回路に対する状態符号割当の過程

例えば、状態 1 から状態 4 への遷移確率は 0.072 である。これから、遷移確率行列 P および双方向遷移確率行列 \tilde{P} を求めると次式のようなになる。

$$P = \begin{bmatrix} 0.031 & 0 & 0 & 0.044 & 0 & 0 & 0 & 0 \\ 0.038 & 0 & 0 & 0 & 0 & 0.020 & 0 & 0 \\ 0 & 0.058 & 0 & 0 & 0 & 0 & 0 & 0.297 \\ 0.005 & 0 & 0.077 & 0 & 0 & 0 & 0.004 & 0 \\ 0 & 0 & 0 & 0.042 & 0 & 0 & 0.015 & 0 \\ 0 & 0 & 0 & 0 & 0.020 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0.037 & 0 & 0.015 & 0 \\ 0 & 0 & 0.279 & 0 & 0 & 0 & 0.018 & 0 \end{bmatrix} \quad (4.10)$$

$$\tilde{P} = \begin{bmatrix} 0 & 0.038 & 0 & 0.049 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0.058 & 0 & 0 & 0.020 & 0 & 0 \\ 0 & 0 & 0 & 0.077 & 0 & 0 & 0 & 0.576 \\ 0 & 0 & 0 & 0 & 0.042 & 0 & 0.004 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0.020 & 0.052 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0.018 \\ 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 \end{bmatrix} \quad (4.11)$$

この \tilde{P} の成分 $p_{i,j}$ を大きい順に並べると表 4.1 のようになる。

まず最も大きい遷移確率をもつのは $p_{3,8}$ であるので、状態 3 に状態符号 “0(000)”、状態 8 に状態符号 “1(001)” を割り当てる。(括弧内の 000 などは状態符号の二進数表現である) 次に大きい遷移確率をもつのは $p_{3,4}$ であり状態 3 は既に状態符号が確定しているが、状態 4 に割り当可能な状態符号は複数あるため、その時点で確定している状態符号から \tilde{d} を計算し、 \tilde{d} が最も小さいものを状態 4 に割り当てる。この場合は計算した結果から、状態 4 の状態符号は “2(010)” となった。次の $p_{2,3}$ では、状態 2 には、可能な状態符号の中で状態 3 の状態符号から最も Hamming 距離の短い “4(100)” を割り当てる。次の $p_{5,7}$ では、状態 5 と状態 7 が共に状態符号が確定していないので、いったん保留する。続いて $p_{1,4}$ に着目すると、状態 1 には状態符号 “3(011)” と “6(110)” が可能であるが、 \tilde{d} による判断から “6(110)” が確定する。この時点では、先ほど保留した $p_{5,7}$ のどちらも確定していない。そこで次の $p_{4,5}$ を見ると、状態 5 の状態符号が “3(011)” と確定する。ここで $p_{5,7}$ に戻ると、状態 7 の状態符号が “7(111)” と確定する。最後に、残っていた状態 6 の状態符号が

“5(101)”と確定し、全ての状態符号割当が完了する。(以上の過程を図 4.4 に示す)

以下では、このアルゴリズムによる状態符号割当を「消費電力最適状態符号割当」と呼ぶことにする。また、従来の組合せ論理回路部を最小にする状態符号割当 [12] を「論理回路最適状態符号割当」と呼ぶことにする。このアルゴリズムおよび状態符号割当法の評価については 5.1 節で行う。

4.4 同期回路の消費電力モデル

以上では、フリップフロップ部の消費電力として、その出力が変化した時の負荷容量充放電電力のみを考慮した。しかし実際の同期式フリップフロップでは、たとえ出力が変化しないときでもクロック信号は常時供給されるため、この部分での電力消費がある。

そこで同期式フリップフロップの、出力が遷移する時の消費電力 P_t と出力が遷移しない時の消費電力 P_n を考える。この P_n にはクロック線での消費電力が含まれると考えられるため、この両者の比 P_n/P_t を、同期式フリップフロップの電力消費特性を表すパラメータと考える。

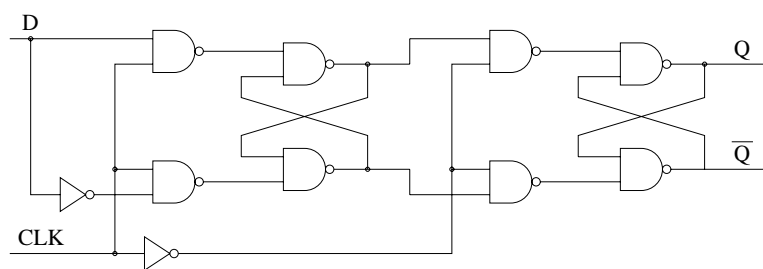
状態 i, j 間の遷移時に、出力が遷移するフリップフロップの数は 2 つの状態符号間の Hamming 距離 $d_{i,j}$ に等しい。このとき出力が遷移しないフリップフロップの数は、 N_{FF} をフリップフロップの数として $N_{FF} - d_{i,j}$ に等しい。

そこで、このクロック線での電力消費を考慮した状態遷移回路の消費電力の評価関数として、(4.5) 式の代わりに次式によって \bar{d}' を定義する。

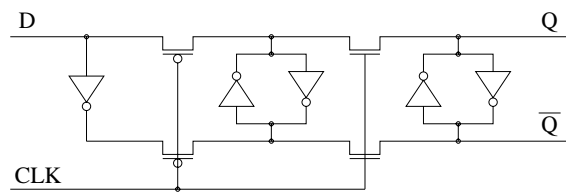
$$\bar{d}' \equiv \sum_{i=1}^N \sum_{j=1}^N \{d_{i,j} + P_n/P_t(N_{FF} - d_{i,j})\} p_{i,j} \quad (4.12)$$

図 4.5 のフリップフロップについて、spice による回路シミュレーションによって P_n/P_t を求めたところ、(a) のゲート式 D 型フリップフロップでは $P_n/P_t = 0.35$ 、(b) のパストラジスタ式 D 型フリップフロップでは $P_n/P_t = 0.15$ であった。なおこのシミュレーションにおいて、MOS トランジスタのサイズ等のパラメータは 3.1 節と同じ値を用いた。

状態遷移回路を構成する場合、この P_n/P_t が小さいフリップフロップを用いるほど 4.3 節の消費電力最適状態符号割当の効果が大きいと考えられる。この評価については 5.3 節で行う。



(a)



(b)

図 4.5: 同期式 D 型フリップフロップの回路図

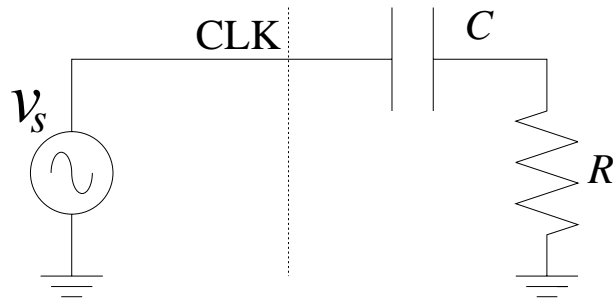


図 4.6: クロック線の等価回路

4.5 クロック線での消費電力のモデルと低減法

消費電力最適状態符号割当の効果は、同期式フリップフロップの非遷移時消費電力 P_n が小さいほど、大きくなると期待できるため、この P_n を低減する方法を考える。

図 4.5(a) のゲート式 D 型フリップフロップの代わりに図 4.5(b) のようなパストランジスタ式 D 型フリップフロップを用いるというように、フリップフロップの回路構成を工夫することによって P_n を低減することはできるが、それには自ずと限界がある。そこで、クロック線での消費電力をモデル化し、それに基づいてクロック線での消費電力を根本的に低減するための概念を提案する。

同期式フリップフロップのクロック線を、図 4.6 のような等価回路で表す。ここで v_s はクロック源、CLK はクロック線であり、 C はクロック線の入力トランジスタのゲート容量等の容量成分、 R は MOS トランジスタのチャネル抵抗等の抵抗成分である。

システムクロック信号として、周波数 f で正弦波的に変化する電圧 v を加えた時の電流 i は次式で与えられる。

$$i = \frac{v}{R + 1/j2\pi fC} \quad (4.13)$$

ここで j は虚数単位である。

C が数百 fF 程度、 R が数 k Ω 程度であるとすれば、1GHz 程度以下のシステムクロック周波数 f ならば $1/2\pi fC \gg R$ であると考えられるので、(4.13) 式は次式

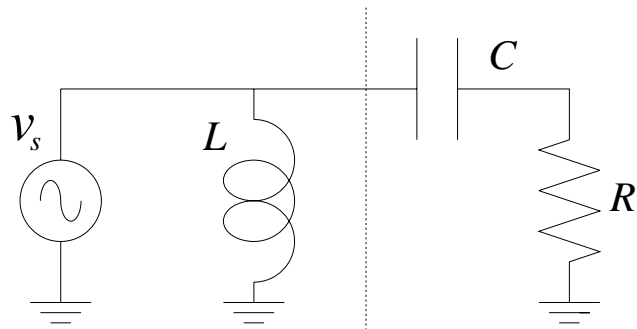


図 4.7: インダクタ L を付加したクロック線の等価回路

のように近似することができる。

$$i \propto f \quad (4.14)$$

R での電力消費は $P_R = i^2 R$ で与えられるので、(4.14) 式の近似によれば、 P_R は次式のように近似することができる。

$$P_R \propto f^2 \quad (4.15)$$

この P_R は、回路の不可逆な消費電力とみなすことができる。

論理回路の例としてインバータの論理遅延を τ とするとき、インバータが $1/\tau$ 程度の周波数で動作している時の不可逆な消費電力は、電源が供給するエネルギーのおよそ 20% であるという試算がある [14]。実際の論理回路の動作周波数はその $1/10$ から $1/50$ 程度であるのが通常であると考えられるので、(4.15) 式によれば、このような動作状況での回路の不可逆なエネルギー消費は、電源が供給するエネルギーの数 % 以下ということになる。

そこで、システムクロック信号がフリップフロップの動作状態に関係なく常時周期的に供給されることに着目し、図 4.7 のようにクロック源の近くにインダクタ L をおいた回路を考える。するとインダクタ L とキャパシタ C の共振回路が形成されるため、その共振周波数付近のクロック周波数に対しては周期的に供給されるクロック線のエネルギーのうち P_R を除く部分の大部分が L, C の間でやりとりされ、電源が供給するエネルギーを低減することができると考えられる。このようなエネルギーリサイクルによってクロック線での消費電力を大幅に低減でき、したがって

状態遷移回路全体の消費電力の低減を実現することが可能であると期待できる。(ただし、実際には供給するシステムクロック信号の周波数を、共振回路のクオリティファクタ Q から定められる極めて狭い範囲に特定する必要があり、また他にもインダクタ L を実装する方法等、考慮すべき問題は多くある)

4.6 状態遷移回路全体の合成手順

ここで、実際の状態遷移回路の合成手順について触れておく。

状態遷移回路の合成は、以下の手順による。

1. 所望の機能を実現する状態遷移回路の状態遷移図、あるいは状態遷移表を決定する。
2. 適当な方法 (消費電力最適状態符号割当、論理回路最適状態符号割当など) によって各状態への状態符号割当を行う。
3. 状態符号を考慮した状態遷移表から、組合せ論理回路部の論理機能 (真理値表) を決定する。
4. 組合せ論理回路部の論理機能を実現する実際の回路を、論理合成ツールによって合成する。
5. フリップフロップ部と組合せ論理回路部を結合して状態遷移回路を合成する。

組合せ論理回路部を考慮した状態遷移回路全体の評価は 5.6 節で行うが、論理合成ツールには多段論理回路合成プログラムである `misII`[13] を用いた。

4.7 状態遷移確率が未知の場合の状態符号割当

状態遷移図に対してその状態遷移確率が既知の場合は、4.3 節の消費電力最適状態符号割当法によって状態符号割当を行うことができる。しかし実際の状態遷移回路の設計の場面では、必ずしも状態遷移確率に対して十分に情報を得ることができない場合がある。そこで、状態遷移確率が未知の場合にできる限り最適な状態符号割当を行う方法を考える。

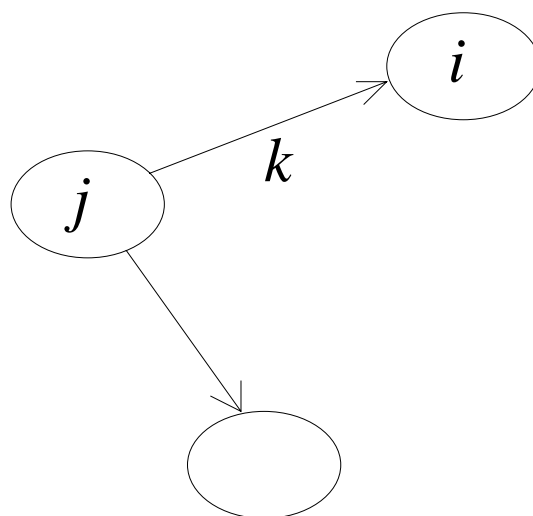


図 4.8: 状態遷移図の一部

まず最初に、状態遷移回路の入力が現状態 j に依存せずに変化すると仮定する。すなわち任意の遷移において、入力 k となる確率 \hat{p}_k は既知であるとする。

このような場合において、図 4.8 のような状態遷移図の一部を考える。これは、現状態 j に対して入力 k があったときに次状態 i への遷移がおこることを表している。状態遷移図から、次のような $k_{i,j}$ を成分にもつ入力行列 K を定義する。(ただし “NULL” は入力が存在しないことを表す定数とする)

$$k_{i,j} = \begin{cases} k & (\text{入力 } k \text{ のとき状態 } j \text{ から状態 } i \text{ への遷移がある場合}) \\ \text{NULL} & (\text{状態 } j \text{ から状態 } i \text{ への遷移が不可能である場合}) \end{cases} \quad (4.16)$$

前述の仮定によれば、状態 j から状態 i への条件つき遷移確率 $\bar{p}_{i,j}$ は \hat{p}_k と等しくなるので、状態遷移図から求められる入力行列 K と入力確率 \hat{p}_k から条件つき遷移確率行列 $\bar{P} = \{\bar{p}_{i,j}\}$ が次式のように求められる。

$$\bar{p}_{i,j} = \begin{cases} \hat{p}_k & (k_{i,j} = k \neq \text{NULL} \text{ の場合}) \\ 0 & (k_{i,j} = \text{NULL} \text{ の場合}) \end{cases} \quad (4.17)$$

これから先は 4.2 節と同様の過程によって遷移確率行列 P 、状態符号間平均 Hamming 距離 \bar{d} を求め、消費電力最適状態符号割当を行うことができる。

次に入力行列 K (すなわち状態遷移図の形状) のみが既知であり、入力確率 \hat{p}_k が未知である場合を考える。場合によっては、入力確率 \hat{p}_k (および条件つき遷移確率

$\bar{p}_{i,j}$) の値に依存せずに最適な状態符号割当が一意に定まる可能性があることが期待される。

任意の入力確率から、どの程度最適な状態符号割当が確定するかの評価は 5.5 節で行う。

4.8 その他の状態符号

状態数 N の状態遷移回路を実現するのに必要なフリップフロップの数 $N_{\text{FF}}^{\text{min}}$ の最小数は、次式で与えられる。

$$N_{\text{FF}}^{\text{min}} = \lceil \log_2 N \rceil \quad (4.18)$$

ただし $\lceil x \rceil$ は、 x を越えない最大の整数を表す。この最小限のフリップフロップを用いる状態符号を Minimum-state 符号と呼ぶことにする。

これとは別の符号として、状態数 N と同数のフリップフロップを用意し、各状態の状態符号としてどれか 1 つのフリップフロップのみが 1 となるようなものを用いる、いわゆる One-hot 符号がある。すなわち One-hot 符号で必要なフリップフロップの数 $N_{\text{FF}}^{\text{one}}$ は次式のようにになる。

$$N_{\text{FF}}^{\text{one}} = N \quad (4.19)$$

この One-hot 符号の場合、任意の状態符号間の Hamming 距離は 2 で一定であるので、消費電力最適の状態符号割当を定める必要はない。

Minimum-state 符号割当での各状態符号間の平均 Hamming 距離は、平均的には $N_{\text{FF}}^{\text{min}}/2$ であると期待できるので、 $N_{\text{FF}}^{\text{min}} \gg 4$ すなわち $N \gg 16$ のような大規模な状態遷移回路では、One-hot 符号を用いる方が各状態符号間平均 Hamming 距離が小さくなる可能性がある。

ただし One-hot 符号では、必要なフリップフロップの数は状態数 N と同数であるため、4.5 節で触れたフリップフロップの非遷移時消費電力の影響が極めて大きくなるおそれがある。この評価については 5.4 節で触れる。

なおこの One-hot 符号の考え方を拡張して、Two-hot 符号、すなわちどれか 2 つのフリップフロップのみが 1 となり、各状態符号間の Hamming 距離が 2 となるような状態符号を考えることもできる。この場合、状態数 N に対して必要なフリップフロップの数 $N_{\text{FF}}^{\text{two}}$ は次式をみたす最小の整数である。

$$N_{\text{FF}}^{\text{two}} C_2 = \frac{N_{\text{FF}}^{\text{two}}(N_{\text{FF}}^{\text{two}} - 1)}{2} \geq N \quad (4.20)$$

ただし ${}_n C_r$ は、 n 個の異なるものから r 個を選ぶ組合せの数である。これから、 $N_{\text{FF}}^{\text{two}}$ を次式のように求めることができる。

$$N_{\text{FF}}^{\text{two}} = \left\lceil \frac{1 + \sqrt{1 + 8N}}{2} \right\rceil \quad (4.21)$$

つまり Two-hot 符号では、フリップフロップの数は状態数 N に対してほぼ $O(\sqrt{N})$ で増加することになって One-hot 符号よりも小さく、しかも One-hot 符号の特長の、状態数によらずに各状態符号間の Hamming 距離が 2 であるという点は同一である。

しかしこの Two-hot 符号のフリップフロップの数 $O(\sqrt{N})$ でも、Minimum-state 符号のフリップフロップの数 $O(\log_2 N)$ と比べると特に N が大きい場合に不利となり、また各状態への符号割当を実現する方法の問題もある。

なお更にこれを拡張して、3 つのフリップフロップのみが 1 となり各状態符号間の Hamming 距離を 2 とする Three-hot 符号を考えることもできる。この Three-hot 符号に必要なフリップフロップの数 $N_{\text{FF}}^{\text{three}}$ は、次式をみたす最小の整数である。

$$N_{\text{FF}}^{\text{three}} C_3 = \frac{N_{\text{FF}}^{\text{three}}(N_{\text{FF}}^{\text{three}} - 1)(N_{\text{FF}}^{\text{three}} - 2)}{6} \geq N \quad (4.22)$$

よって $N_{\text{FF}}^{\text{three}}$ は、ほぼ $O(\sqrt[3]{N})$ で増加することになる。

これらの定量的な評価は 5.4 節で行う。

第5章

状態符号割当方法の評価

本章では 4.2 節の状態遷移回路の確率的モデルに基づき、4.3 節の消費電力最適状態符号割当アルゴリズムの評価を行う。

また別の状態符号割当方法との比較として、One-hot 符号・論理回路最適状態符号割当との比較を行う。

5.1 状態符号割当アルゴリズムの評価

状態数 N が 8 程度の状態遷移回路であれば、すべての可能な状態符号割当の中から、消費電力の評価関数 \bar{d} が最小となるものを選ぶ全探索法を実用的な時間内に実行することが可能である。そこで、4.3 節で提案したヒューリスティックな状態符号割当アルゴリズムの評価を行うため、状態数が 8 の状態遷移回路について全探索法とヒューリスティック割当アルゴリズムの両方で状態符号割当を行った。

状態数 N を 8 とし、状態遷移図と各状態遷移確率を無作為に 2000 通り生成して各割当法によって状態符号割当を行った場合の状態符号間平均 Hamming 距離 \bar{d} の平均値を表 5.1 に示す。なお、参考のために無作為な状態符号割当による結果も示した。

この結果からまず、ヒューリスティック割当法によって全探索法による真の最適割当との差が 4% 程度の状態符号割当を実現できることがわかる。なお全探索法による状態符号割当には、 $O(N!)$ 程度の実行時間が必要であると考えられるが、種々の状態数の状態遷移回路についてヒューリスティック割当法によって状態符号割当

状態符号割当方法	\bar{d} の平均値
全探索割当法	1.19
ヒューリスティック割当法	1.24
100 通りの無作為な割当法	1.54

表 5.1: 全探索割当法をヒューリスティック割当法の \bar{d} の比較

を行ったところ、図 5.1 に示すようにほぼ $O(N^3)$ 程度の時間で割当を完了できた。(この割当実行時間の測定には、およそ 50MIPS の処理能力をもつ計算機を用いた)

また状態間の遷移確率を考慮しない無作為な状態符号割当に比べると、ヒューリスティック割当法による状態符号割当によって \bar{d} を小さくすることができることがわかる。ここで、最適な状態符号割当による、無作為な状態符号割当からの \bar{d} の低減率 $\Delta\bar{d}$ を次式によって定義する。

$$\Delta\bar{d} = \frac{\overline{d_{\text{random}}} - \overline{d_{\text{optimum}}}}{\overline{d_{\text{optimum}}}} \times 100 \quad [\%] \quad (5.1)$$

ここで $\overline{d_{\text{random}}}$ は、1 つの状態遷移回路に対する 100 通りの無作為な状態符号割当による \bar{d} の平均値、 $\overline{d_{\text{optimum}}}$ はヒューリスティック状態符号割当法による \bar{d} であり、それぞれ 2000 通りの無作為な状態遷移回路に対しての平均値をとる。

この場合の $\Delta\bar{d}$ は約 25% であるので、無作為な状態符号割当に比べて、ヒューリスティック割当方法によって \bar{d} を 25% 程度低減できることになる。

5.2 フリップフロップの消費電力低減の評価

5.1 節の結果から、4.3 節のヒューリスティック割当法による状態符号割当を消費電力最適の状態符号割当とみなし、この状態符号割当による消費電力の低減度の更に詳しい評価を行う。

ここで、遷移確率行列 P の性質と \bar{d} の低減率 $\Delta\bar{d}$ の関係を考えてみる。仮に P の非零成分が均等に分布している場合、すなわち各状態間の遷移がほぼ均等に起こるような状態遷移回路の場合では、ある特定の状態間の遷移が起こりやすいという状況がおこりにくく、従って高い遷移確率をもつ状態間に短い Hamming 距離をも

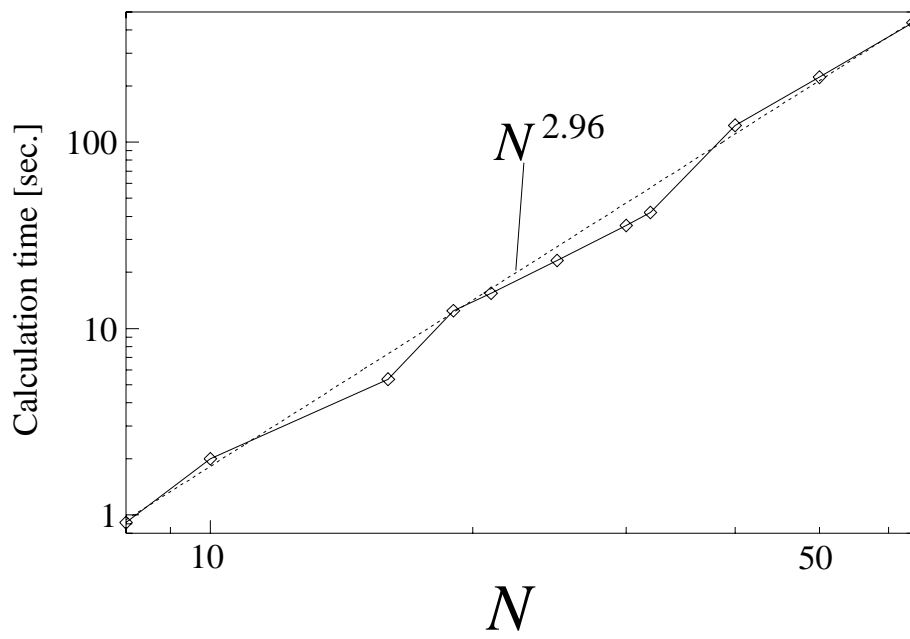


図 5.1: ヒューリスティック割当法による状態符号割当の実行時間

つ状態符号を割り当てることによる \bar{d} の低減の効果が小さくなると考えられる。逆に P の非零成分の分布にかたよりのある場合では、小さい Hamming 距離の状態符号を高い遷移確率をもつ状態間に割り当てることの影響が大きくなると考えられる。

そこで、状態遷移図の特性を $\{N, n_b\}$ という 2 つのパラメータの組によって特徴づけることにする。ここで N は全状態数であり、 n_b は 1 つの状態からの遷移の可能な遷移先の数の平均値である。すなわち、この n_b が大きいほど状態間の遷移が均等であり、 n_b が小さいほど状態間の遷移にかたよりのあることになる。なお、 $\{N, 1\}$ は循環グラフの状態遷移図を、 $\{N, N\}$ は完全グラフの状態遷移図を表すことになる。

この 2 つのパラメータに基づき、無作為に状態遷移図と状態遷移確率を生成して無作為割当法および消費電力最適割当法によって状態符号割当を行って (5.1) 式から定義される \bar{d} の低減度を求めた結果を表 5.2 に示す。この結果から状態遷移回路の規模が大きいほど、また n_b が小さく状態間の遷移にかたよりのあるほど、消費電力最適状態符号割当によって \bar{d} を大きく低減できることがわかる。

5.3 クロック線を考慮した消費電力低減の評価

次に 5.2 節の消費電力最適状態符号割当による評価関数の低減度を、同期式フリップフロップの非遷移時のクロック線消費電力を考慮して評価を行った。非遷移時消費電力を考慮した、消費電力最適状態符号割当による \bar{d}' の低減度 $\Delta\bar{d}'$ を、(5.1) 式中の \bar{d} を、(4.12) 式の \bar{d}' に変更して定義する。種々の状態遷移回路に対する $\Delta\bar{d}'$ を表 5.3 に、またそれをグラフ化したものを図 5.2 に示す。(表 5.3 の $P_n/P_t = 0$ の場合は表 5.2 と同一になる)

この結果から、非遷移時消費電力 P_n が小さいほど、消費電力最適状態符号割当によって \bar{d}' を低減できることがわかるため、この効果を大きくするためには P_n が小さいフリップフロップを用いることが有効である。

5.4 その他の状態符号の評価

4.8 節で触れた One-hot 符号の効果を評価するため、表 5.4 のような状態遷移表をもつ 8 状態の状態遷移回路を例にとり、通常の Minimum-state 符号を用いた状

n_b	N	N_{FF}	$\Delta \bar{d}$
2	8	3	25.3%
	16	4	34.6%
	32	5	41.1%
	64	6	45.7%
4	8	3	13.9%
	16	4	20.8%
	32	5	24.3%
	64	6	27.9%
8	8	3	4.2%
	16	4	8.7%
	32	5	10.6%
	64	6	11.6%
16	16	4	3.4%
	32	5	6.1%
	64	6	6.9%
32	32	5	3.0%
	64	6	5.0%
64	64	6	0.9%

表 5.2: 種々の状態遷移回路に対する $\Delta \bar{d}$

n_b	N	N_{FF}	$\Delta \bar{d}'$		
			$P_n/P_t = 0$	$P_n/P_t = 0.15$	$P_n/P_t = 0.35$
2	8	3	25.3%	18.8%	12.2%
	16	4	34.6%	25.5%	16.7%
	32	5	41.1%	30.4%	19.8%
	64	6	45.7%	33.8%	22.0%
4	8	3	13.9%	10.2%	6.7%
	16	4	20.8%	15.5%	10.0%
	32	5	24.3%	17.9%	11.7%
	64	6	27.9%	20.6%	13.4%
8	8	3	4.2%	4.2%	2.7%
	16	4	8.7%	8.7%	5.6%
	32	5	10.6%	10.6%	6.9%
	64	6	11.6%	11.6%	7.5%
16	16	4	3.4%	3.4%	2.2%
	32	5	6.1%	6.1%	4.0%
	64	6	6.9%	6.9%	4.5%
32	32	5	3.0%	2.2%	1.4%
	64	6	5.0%	3.7%	2.4%
64	64	6	1.8%	1.4%	0.9%

表 5.3: 種々の状態遷移回路に対する $\Delta \bar{d}'$

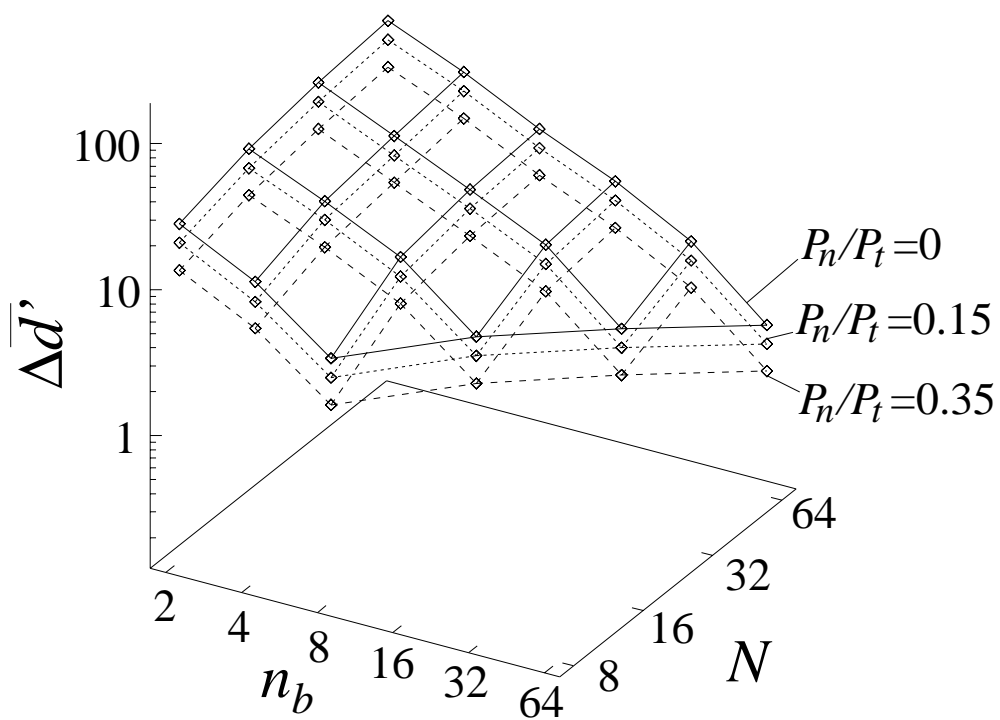


図 5.2: 表 5.3 をグラフ化した結果

現状態	次状態			
	I_0	I_1	I_2	I_3
1	1	2	3	4
2	5	2	8	7
3	1	6	3	4
4	5	2	8	4
5	5	6	3	7
6	5	6	3	7
7	5	2	8	7
8	1	6	8	4

表 5.4: 8 状態遷移回路の例

状態遷移回路と One-hot 符号を用いた状態遷移回路を合成した。ここで表 5.4 の状態遷移回路の入力は I_0, I_1, I_2, I_3 のいずれか 1 つのみが 1 になると仮定し、例えば現状態が 1 のときに I_3 が 1 となった場合の次状態が 4 であることを表している。

回路を合成した結果、論理回路部は Minimum-state 符号を用いた回路が 41 ゲート、One-hot 符号を用いた回路が 29 ゲートであった。一方フリップフロップの数は Minimum-state 符号を用いた回路が 3 つ、One-hot 符号を用いた回路が 8 つであるので、フリップフロップに図 4.5(a) のマスタ・スレーブ式 D 型フリップフロップを用いると、Minimum-state 符号を用いた回路の方が状態遷移回路全体での回路規模は小さくなる。また両者の消費電力を、各ゲートとフリップフロップの負荷容量がそのファンアウトに比例すると仮定してスイッチレベルのシミュレーションで調べたところ、Minimum-state 符号の回路と比較して One-hot 符号の回路では、組合せ論理回路部が 0.7 倍、フリップフロップ部が 2.1 倍となり、全体でも 1.6 倍となった。すなわち、One-hot 符号を用いた回路では、フリップフロップの数が多くなる分、その非遷移時消費電力の影響が大きくなったと考えられる。

このフリップフロップの非遷移時消費電力を低減するという意味では、システムクロック信号を与えず、内部状態によってのみ動作する非同期回路 (自己同期回路) によって状態遷移回路を構成することも有効であると期待できる。

そこで、同期式フリップフロップのマスタ・スレーブ式 D 型フリップフロップ (図 4.5(a)) と Minimum-state 符号を用いた状態遷移回路と、非同期式フリップフロップ (セットリセット・フリップフロップ) と One-hot 符号を用いた状態遷移回路の比較を行った。

その結果、状態遷移回路全体の回路規模では両者はほぼ同等となり、同期式回路と比較して非同期式回路の方が、フリップフロップ部の消費電力は 0.36 倍に、組合せ論理回路を含めた状態遷移回路全体の消費電力も 0.76 倍に低減できた。

このような非同期回路は、その回路構成自体にまだ解決すべき課題が多いが、回路の各部分が最高速で動作できる高速動作の可能性に加えて状態遷移回路での低消費電力の可能性も示されたため、今後の研究成果が期待される。

次に、One-hot 符号を拡張した Two-hot 符号、Three-hot 符号も含め、フリップフロップの非遷移時消費電力 P_n を考慮した \bar{d}' を計算した。(4.18), (4.19), (4.21), (4.22) 式で求めた、各符号を用いる場合に必要なフリップフロップの数 N_{FF} を用い、 $P_n/P_t = 0.15$ と仮定して (4.12) の \bar{d}' を求めた結果を図 5.3 に示す。ただし状態遷移図は $n_b = 2$ の条件で無作為に 100 通り生成し、 \bar{d}' はその平均をとった。

この結果、フリップフロップの非遷移時消費電力を考慮しても、 $N = 1000$ 程度までの状態遷移回路では Three-hot 符号を用いる状態遷移回路の消費電力が最も小さくなることが期待できる。しかし Two-hot 符号、Three-hot 符号については各状態への状態符号割当可能性が保証できないなど、考慮すべき問題は多い。

5.5 状態遷移確率が未知の場合の状態符号割当の評価

遷移確率行列 P が未知の場合の状態符号割当法として、状態遷移図の形状 (すなわち P の非零成分の位置) から最適な状態符号割当を行うことを考える。

まず、 $\{N, n_b\}$ の特徴パラメータを定め、それから状態遷移図の形状を無作為に定める。次に、その状態遷移図に対して入力確率 \hat{p}_k を無作為に 100 通り与え、(4.17) 式に従って条件つき遷移確率行列 \bar{P} を求める。それに基づいて消費電力最適状態符号割当を実施し、それによって各状態に割り当てられた状態符号を記録する。そしてその結果から、各状態に最も多く割り当てられた状態符号の相対頻度を求めた結果を表 5.5 に示す。(なお表中の括弧内の数字は、相対頻度の標準偏差を表す)

各状態に割り当てられる状態符号の相対頻度の期待値は当然ながら $1/N$ となるが、

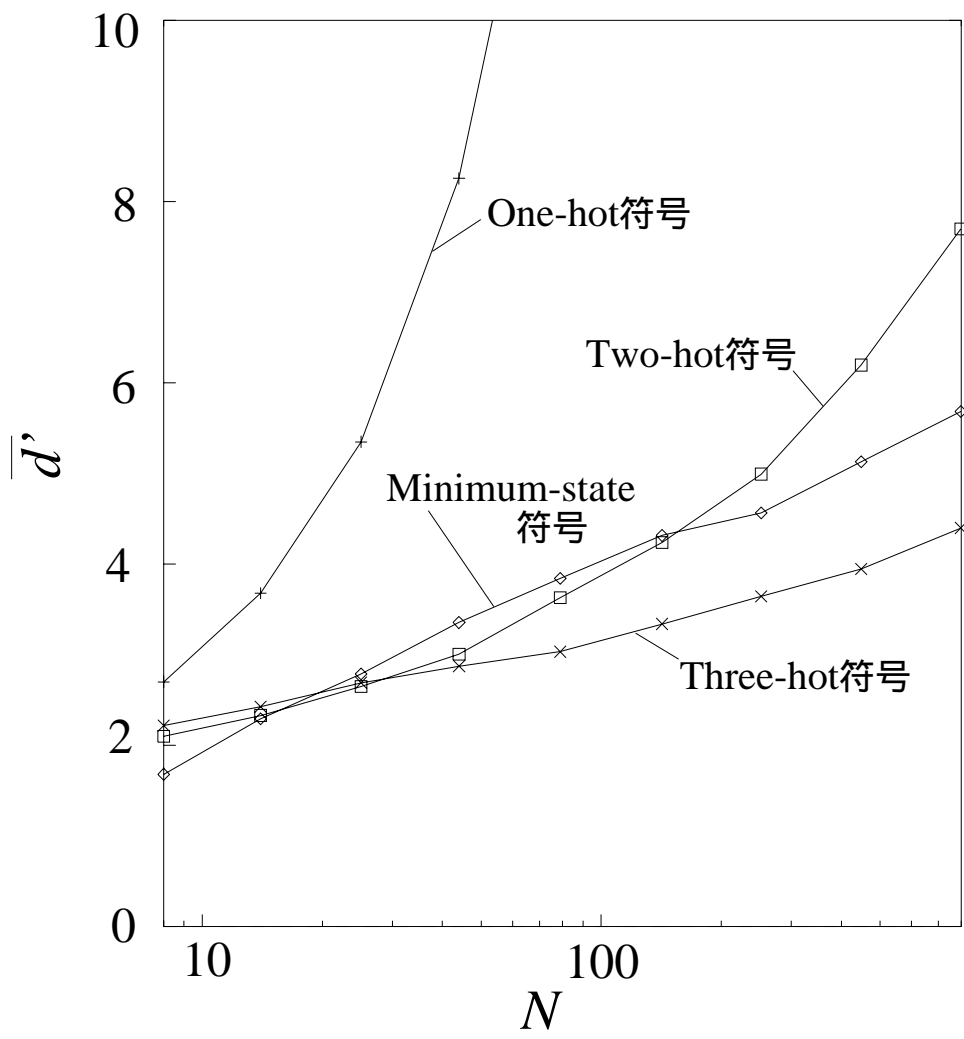


図 5.3: 各種の符号を用いた \bar{d}

N	n_b	各状態への状態符号の相対頻度	
		最も頻度の高い状態符号	全状態符号の平均
8	3	42% (14%)	13% (15%)
	5	33% (11%)	13% (11%)
	8	25% (6%)	13% (7%)
16	4	25% (11%)	6% (7%)
	10	18% (7%)	6% (5%)
	16	15% (3%)	6% (4%)
32	6	14% (7%)	3% (3%)
	19	11% (4%)	3% (3%)
	32	10% (2%)	3% (7%)

表 5.5: 種々の入力確率 \hat{p}_k に対して各状態へ割り当てられた状態符号の相対頻度

この結果に対して次のような仮説をたててみる。

各状態に最も相対頻度の高い状態符号を割り当てると、それがあある特定の入力確率に対して最適な状態符号となる。

この仮説に対して仮説検定を行ったところ、この仮説は有意水準 95% で採択された。

すなわち入力確率 \hat{p}_k が未知の場合には、やや否定的な選択肢として、このような方法によって消費電力最適状態符号割当を実施することが妥当であると考えられる。

5.6 状態遷移回路全体での評価

5.1, 5.2, 5.3 節では、消費電力最適状態符号割当による消費電力低減を、無作為な状態符号割当との比較で評価したが、実際の回路設計では無作為な状態符号割当を行うことはあまりなく、例えば組合せ論理回路部を最小にする状態符号割当、いわゆる「論理回路最適状態符号割当」[12]を行うことが多い。

そこで本節では、「消費電力最適状態符号割当」と「論理回路最適状態符号割当」の両者を、組合せ論理回路部・フリップフロップ部を含めた消費電力および回路規模の観点から比較を行った。この比較においては、実際の状態遷移回路への応用に、よ

り近い状態の評価を行うため、状態遷移回路のベンチマーク (MCNC89 Benchmark) に含まれる状態遷移回路を対象にした。(MCNC89 Benchmark の詳細については付録 B を参照のこと)

まずはじめに 42 種の MCNC89 ベンチマークに含まれる状態遷移表に対して、仮にその入力確率が均一、すなわち $\hat{p}_k = 1/n_i$ (ただし n_i は回路入力の数) であると仮定し、消費電力最適状態符号割当を行う。次に同一の状態遷移表に対して、多段論理向け状態符号割当プログラム `mustang`[12] を用いて論理回路最適状態符号割当を行う。この際、`mustang` の実行時のオプションの指定方法によって 4 通りの状態符号割当アルゴリズムを指定できるため、それによって 4 通りの状態符号割当を実施できることになる。

この両方で割り当てられた状態符号を含めた状態遷移表から、組合せ論理回路部の論理機能が決定されるので、多段論理回路合成プログラム `misII`[13] を用いて組合せ論理回路部の合成を行う。

最後に負荷容量を仮定し、スイッチレベルのシミュレーションによって消費電力の見積りを行う。ゲートの消費電力 P_c は負荷容量 C_L と出力の遷移した回数の相対度数の積に等しいと仮定し、その負荷容量はそのファンアウト FO と単位ファンアウトあたりの容量 C_{L_0} の積 ($C_L \equiv C_{L_0} \times \text{FO}$) であるとした。またフリップフロップ部の各フリップフロップには図 4.5(a) のマスタ・スレーブ式 D 型フリップフロップを用い、この回路図を考慮してその消費電力 P_f を次式で定義した。

$$P_f \equiv (13C_{L_0} + C_L \times \text{FO}) \times \text{出力遷移回数の相対度数} \quad (5.2)$$

なおこのフリップフロップの D 入力ファンインは 2 となる。

先の回路最適状態符号割当の過程において、`mustang` の実行時オプションの指定によって 4 通りの状態遷移回路が合成されるが、この中で組合せ論理回路部が最も小さくなるものを「回路優先論理回路最適状態符号割当 (Circuit-Oriented Circuit-Optimum Assignment)」と呼び、また消費電力が最小となるものを「電力優先論理回路最適状態符号割当 (Power-Oriented Circuit-Optimum Assignment)」と呼ぶことにする。

なお 42 種の MCNC89 ベンチマークの状態遷移表のうち、表 5.6 に示す 11 種については不具合が発生したために比較を行うことができず、残る 31 種についてのみ両者の比較を行った。

名称	不具合の内容
kirkman	状態名 “*” (Don't Care) を mustang が状態名として扱う
mark1	状態名 “*” (Don't Care) を mustang が状態名として扱う
opus	状態名 “*” (Don't Care) を mustang が状態名として扱う
scf	状態名 “*” (Don't Care) を mustang が状態名として扱う
mc	mustang で -n -c オプション指定時にエラー
tav	存在確率 q の計算が収束しない
ex2	状態遷移図の不備 (遷移先のない状態への遷移)
ex3	状態遷移図の不備 (遷移先のない状態への遷移)
ex5	状態遷移図の不備 (遷移先のない状態への遷移)
ex7	状態遷移図の不備 (遷移先のない状態への遷移)
shiftreg	mustang により極端に小さい回路が生成

表 5.6: 不具合の発生して除外したベンチマークとその不具合の内容

まずこれら 31 種の状態遷移回路に対してスイッチレベルのシミュレーションを実行して求めた 1 回の遷移で出力が遷移するフリップフロップの数の平均値 \bar{d}_{sim} と、確率的モデルから (4.5) 式で求められる \bar{d} の理論値 \bar{d}_{model} の比較を行った結果を図 5.4 に示す。なお図 5.4、図 5.5、図 5.6 の各点は、全ベンチマークを 5 種類 (消費電力最適状態符号割当と 4 種の回路最適状態符号割当) の状態符号割当を行った状態遷移回路 (総数 $31 \times 5 = 155$) に対応する。両者にほぼ直線的な相関があることから、状態遷移回路の確率的モデルの妥当性が示された。

4.2 節では \bar{d} をフリップフロップ部の消費電力の評価関数と考えたわけであるが、スイッチレベルのシミュレーションによる実際のフリップフロップ部の消費電力 P_f とこの \bar{d} との相関を求めた結果を図 5.5 に示す。両者の相関係数 r は 0.792 であるので直線的な相関は認めにくい、 \bar{d} が大きいほど P_f が大きいという傾向はみられる。なおこの非直線性の原因は、各フリップフロップのファンアウトが異なることが原因であると考えられる。

またフリップフロップの出力遷移頻度を低減する消費電力最適状態符号割当によって、それにつながる組合せ論理回路部の平均的な動作周波数も低減されることが期待できる。つまり、フリップフロップ部の消費電力 P_f が小さいほど組合せ論理回

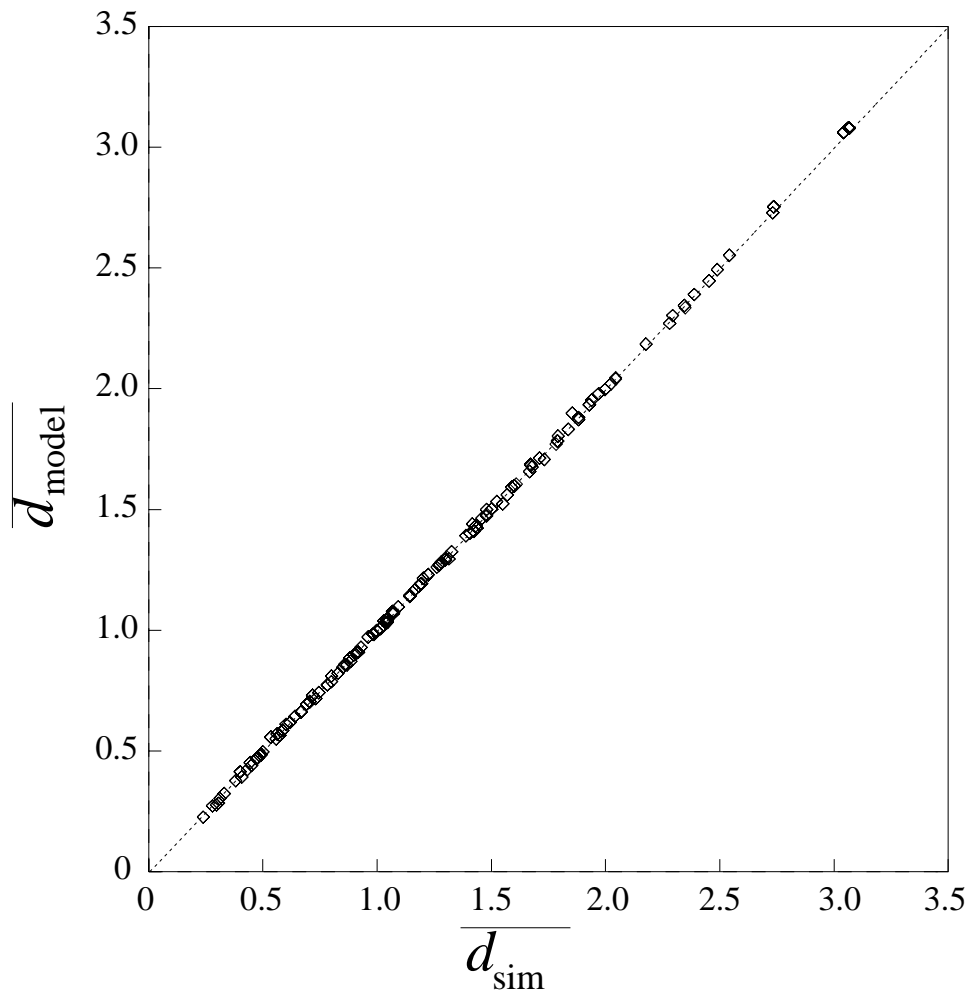


図 5.4: 状態符号間平均 Hamming 距離 \overline{d} の理論値とシミュレーション値

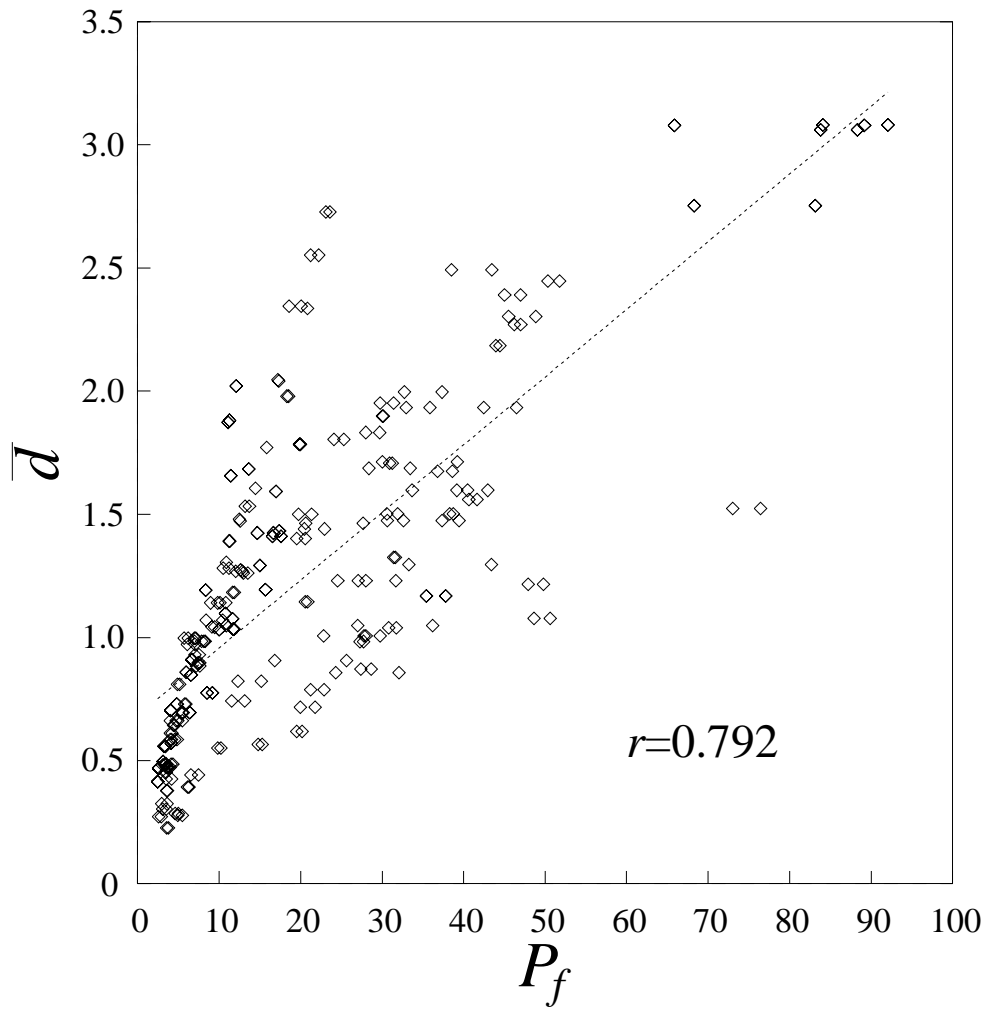


図 5.5: \bar{d} とフリップフロップ部消費電力 P_f

路部の消費電力 P_c も小さいと考えられる。そこで、この P_f と P_c の相関を求めた結果を図 5.6 に示す。図 5.5 と同様に直線的な相関は認めにくい、 P_f が小さいほど P_c が小さいという傾向はみられる。

そして両者の状態符号割当法を比較するために、各ベンチマークについて回路を合成した結果を表 5.7 に、またスイッチレベルシミュレーションによって求めた \bar{d} を表 5.8 に、各部の消費電力を表 5.10・表 5.9・表 5.11 に示す。ゲート数を比較した表 5.7 では、各状態遷移回路の組合せ論理回路部に必要な論理ゲートの数を示し、また括弧内に消費電力最適状態符号割当と比較した論理回路最適状態符号割当によるゲート数の低減度 (または、論理回路最適状態符号割当と比較して消費電力最適状態符号割当を行うことによるゲート数の増加度) を示して、最後に全体の平均を示した。

また \bar{d} を比較した表 5.8 では、各状態遷移回路の \bar{d} を示し、また括弧内に論理回路最適状態符号割当と比較した消費電力最適状態符号割当による \bar{d} の低減度を示して、最後に全体の平均を示した。

各部の消費電力を比較した表 5.10・表 5.9・表 5.11 では、各部の消費電力 $P_f, P_c, P_{\text{total}} = P_f + P_c$ を示し、括弧内の数字は次式で定義する消費電力最適状態符号割当による消費電力の低減度 ΔP を示す。

$$\Delta P = \frac{P_m - P_p}{P_p} \times 100 \quad [\%] \quad (5.3)$$

ここで P_m は論理回路最適状態符号割当 (4 種のうちの回路優先・電力優先のいずれか) による状態遷移回路の消費電力を、 P_p は消費電力最適状態符号割当による状態遷移回路の消費電力を表す。

この結果から、まず論理回路最適状態符号割当うち、論理回路の最も小さくなる回路優先のものと消費電力最適状態符号割当を比較した場合、4.3 節による消費電力最適状態符号割当によってゲート数は 11% 程度増加するが、 $P_c, P_f, P_{\text{total}}$ はそれぞれ 11%, 31%, 18% 低減できることがわかる。

また消費電力優先の論理回路最適状態符号割当と比較した場合では、消費電力最適状態符号割当によってゲート数の増加は 3% 程度になるが、 $P_c, P_f, P_{\text{total}}$ の低減度はそれぞれ 12%, 24%, 15% となる。

なお、この消費電力を求めるスイッチレベルシミュレーションにおいては、各ゲートとフリップフロップは出力が遷移しないときには電力を消費しないと仮定してい

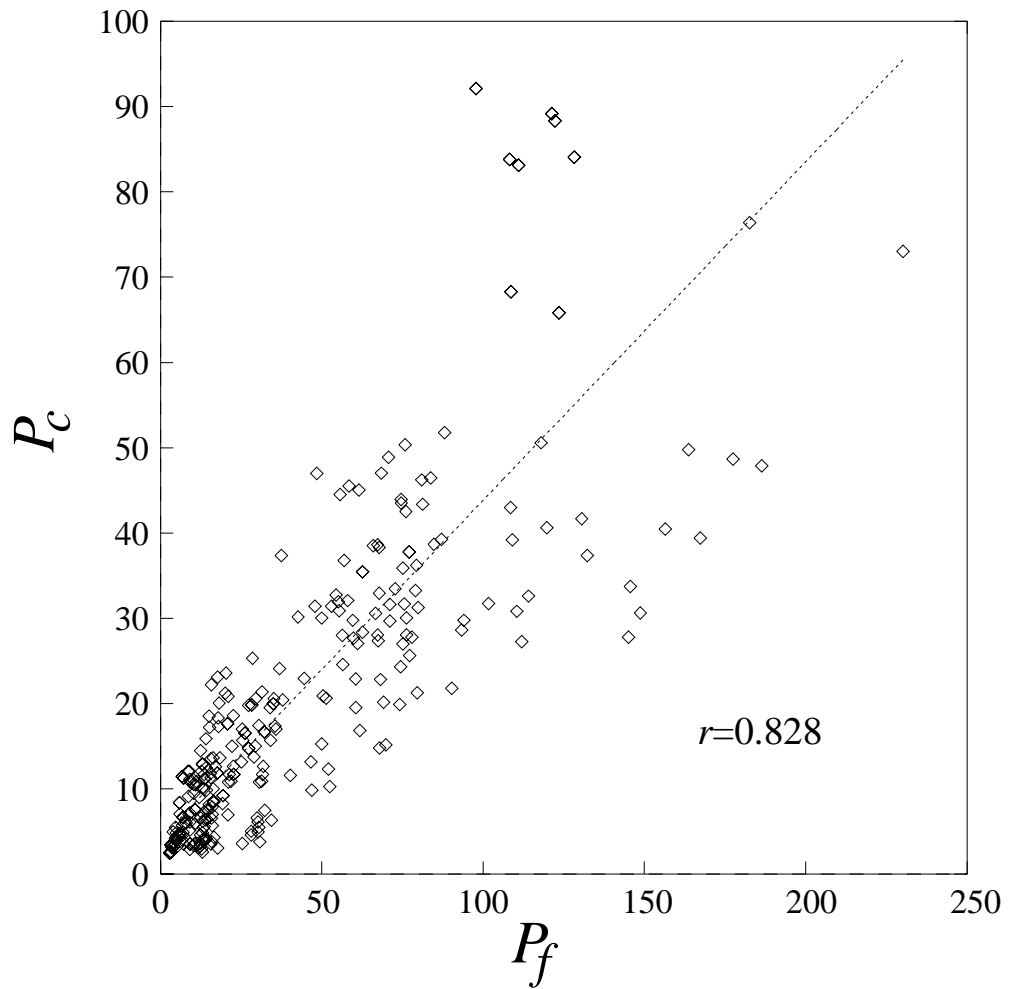


図 5.6: フリップフロップ部消費電力 P_f と組合せ論理回路部消費電力 P_c

名称	消費電力最適 状態符号割当	回路最適状態符号割当	
		(回路優先)	(電力優先)
bbara	45	43 (4.7%)	46 (-2.2%)
bbsse	56	57 (-1.8%)	60 (-6.7%)
bbtas	23	20 (15.0%)	22 (4.5%)
beecount	30	31 (-3.2%)	35 (-14.3%)
cse	87	87 (0.0%)	107 (-18.7%)
dk14	59	52 (13.5%)	54 (9.3%)
dk15	33	31 (6.5%)	34 (-2.9%)
dk16	126	104 (21.2%)	121 (4.1%)
dk17	37	33 (12.1%)	37 (0.0%)
dk27	20	16 (25.0%)	17 (17.6%)
dk512	41	31 (32.3%)	36 (13.9%)
donfile	91	71 (28.2%)	73 (24.7%)
ex1	120	115 (4.3%)	128 (-6.2%)
ex4	39	38 (2.6%)	38 (2.6%)
ex6	60	55 (9.1%)	59 (1.7%)
keyb	131	112 (17.0%)	112 (17.0%)
kirk	246	218 (12.8%)	259 (-5.0%)
lion	14	14 (0.0%)	14 (0.0%)
lion9	25	23 (8.7%)	26 (-3.8%)
modulo12	23	24 (-4.2%)	24 (-4.2%)
planet	261	228 (14.5%)	254 (2.8%)
planet1	261	228 (14.5%)	254 (2.8%)
s1	166	147 (12.9%)	147 (12.9%)
s1a	127	112 (13.4%)	112 (13.4%)
s8	28	27 (3.7%)	27 (3.7%)
sand	239	220 (8.6%)	240 (-0.4%)
sse	56	57 (-1.8%)	60 (-6.7%)
styr	196	202 (-3.0%)	239 (-18.0%)
tbk	387	243 (59.3%)	271 (42.8%)
train11	29	28 (3.6%)	28 (3.6%)
train4	13	13 (0.0%)	13 (0.0%)
消費電力最適状態符号割当による ゲート数の平均増加度		10.6%	2.85%

表 5.7: 各状態符号割当による状態遷移回路の組合せ論理回路部のゲート数

名称	消費電力最適 状態符号割当	回路最適状態符号割当	
		(回路優先)	(電力優先)
bbara	0.273	0.424 (55.3%)	0.303 (11.0%)
bbsse	0.774	1.411 (82.3%)	1.033 (33.5%)
bbtas	0.452	0.611 (35.2%)	0.571 (26.3%)
beecount	0.473	0.482 (1.9%)	0.473 (0.0%)
cse	0.227	0.284 (25.1%)	0.277 (22.0%)
dk14	1.193	1.533 (28.5%)	1.292 (8.3%)
dk15	0.848	0.997 (17.6%)	0.984 (16.0%)
dk16	1.675	2.390 (42.7%)	2.271 (35.6%)
dk17	1.032	1.268 (22.9%)	1.183 (14.6%)
dk27	1.192	1.881 (57.8%)	1.657 (39.0%)
dk512	1.261	2.552 (102.4%)	1.980 (57.0%)
donfile	1.440	1.804 (25.3%)	1.500 (4.2%)
ex1	1.144	1.996 (74.5%)	1.832 (60.1%)
ex4	1.043	1.304 (25.0%)	1.304 (25.0%)
ex6	1.075	1.097 (2.0%)	1.049 (-2.4%)
keyb	0.551	0.741 (34.5%)	0.741 (34.5%)
kirk	0.983	1.597 (62.5%)	1.474 (49.9%)
lion	0.414	0.558 (34.8%)	0.414 (0.0%)
lion9	0.644	0.972 (50.9%)	0.810 (25.8%)
modulo12	0.496	0.661 (33.3%)	0.661 (33.3%)
planet	1.168	3.079 (163.6%)	2.753 (135.7%)
planet1	1.168	3.079 (163.6%)	2.753 (135.7%)
s1	1.230	1.326 (7.8%)	1.326 (7.8%)
s1a	1.230	1.464 (19.0%)	1.464 (19.0%)
s8	0.585	0.585 (0.0%)	0.585 (0.0%)
sand	0.618	1.007 (62.9%)	0.856 (38.5%)
sse	0.774	1.411 (82.3%)	1.033 (33.5%)
styr	0.565	0.787 (39.3%)	0.717 (26.9%)
tbk	1.077	1.560 (44.8%)	1.040 (-3.4%)
train11	0.929	0.858 (-7.6%)	0.858 (-7.6%)
train4	0.469	0.469 (0.0%)	0.469 (0.0%)
消費電力最適状態符号割当による \bar{d} の平均低減度		45.8%	28.4%

表 5.8: 各状態符号割当による状態遷移回路の状態符号間平均 Hamming 距離 \bar{d}

名称	消費電力最適 状態符号割当	回路最適状態符号割当	
		(回路優先)	(電力優先)
bbara	9.1	9.2 (1.1%)	7.2 (-20.9%)
bbsse	16.5	20.7 (25.5%)	17.6 (6.7%)
bbtas	3.3	5.1 (54.5%)	4.8 (45.5%)
beecount	9.1	10.1 (11.0%)	12.9 (41.8%)
cse	30.7	28.2 (-8.1%)	30.5 (-0.7%)
dk14	25.5	25.1 (-1.6%)	22.2 (-12.9%)
dk15	12.4	13.1 (5.6%)	15.0 (21.0%)
dk16	56.9	48.4 (-14.9%)	68.5 (20.4%)
dk17	13.5	12.7 (-5.9%)	13.5 (0.0%)
dk27	5.9	7.2 (22.0%)	6.7 (13.6%)
dk512	13.0	15.7 (20.8%)	15.1 (16.2%)
donfile	37.9	28.5 (-24.8%)	27.2 (-28.2%)
ex1	35.1	37.5 (6.8%)	56.3 (60.4%)
ex4	8.7	11.2 (28.7%)	11.2 (28.7%)
ex6	21.4	21.0 (-1.9%)	21.8 (9.9%)
keyb	46.9	40.2 (-14.3%)	40.2 (-14.3%)
kirk	112.0	109.1 (-2.6%)	132.3 (18.1%)
lion	2.9	3.3 (13.8%)	2.9 (0.0%)
lion9	5.4	6.0 (11.1%)	6.9 (27.8%)
modulo12	3.7	4.0 (8.1%)	4.0 (8.1%)
planet	62.6	123.5 (97.3%)	108.6 (73.5%)
planet1	62.6	123.5 (97.3%)	108.6 (73.5%)
s1	67.3	53.0 (-21.2%)	53.0 (-21.2%)
s1a	56.5	51.3 (-9.2%)	51.3 (-9.2%)
s8	13.7	12.4 (-9.5%)	12.4 (-9.5%)
sand	60.5	68.2 (12.7%)	58.1 (-4.0%)
sse	16.5	20.7 (25.5%)	17.6 (6.7%)
styr	49.9	60.5 (21.2%)	74.2 (48.7%)
tbk	117.9	130.6 (10.8%)	101.6 (-13.8%)
train11	8.7	8.0 (-8.0%)	8.0 (-8.0%)
train4	3.2	3.2 (0.0%)	3.2 (0.0%)
消費電力最適状態符号割当による P_c の平均低減度		11.3%	11.9%

表 5.9: 各状態符号割当による状態遷移回路の組合せ論理回路部の消費電力 P_c

名称	消費電力最適 状態符号割当	回路最適状態符号割当	
		(回路優先)	(電力優先)
bbara	2.9	3.5 (20.7%)	3.5 (20.7%)
bbsse	8.5	17.6 (107.1%)	11.8 (38.8%)
bbtas	3.5	4.0 (14.3%)	4.1 (17.1%)
beecount	3.5	3.4 (-2.9%)	4.0 (14.3%)
cse	3.8	4.6 (21.1%)	5.5 (44.7%)
dk14	15.7	13.2 (-15.9%)	15.0 (-4.5%)
dk15	6.6	6.2 (-6.1%)	8.2 (24.2%)
dk16	36.8	47.0 (27.7%)	47.0 (27.7%)
dk17	10.0	12.1 (21.0%)	11.7 (17.0%)
dk27	8.4	11.3 (34.5%)	11.5 (36.9%)
dk512	13.0	22.2 (70.8%)	18.6 (43.1%)
donfile	20.4	25.3 (24.0%)	19.8 (-2.9%)
ex1	20.6	37.3 (81.1%)	28.0 (35.9%)
ex4	9.1	10.9 (19.8%)	10.9 (19.8%)
ex6	11.7	10.8 (-7.7%)	10.9 (-6.8%)
keyb	9.9	11.6 (17.2%)	11.6 (17.2%)
kirk	27.3	39.2 (43.6%)	37.3 (36.6%)
lion	2.5	3.4 (36.0%)	2.5 (0.0%)
lion9	4.4	7.1 (61.4%)	4.9 (11.4%)
modulo12	3.1	5.0 (61.3%)	5.0 (61.3%)
planet	35.4	65.8 (85.9%)	68.3 (92.9%)
planet1	35.4	65.8 (85.9%)	68.3 (92.9%)
s1	28.0	31.4 (12.1%)	31.4 (12.1%)
s1a	24.6	20.6 (-16.3%)	20.6 (-16.3%)
s8	4.0	4.6 (15.0%)	4.6 (15.0%)
sand	19.5	22.8 (16.9%)	32.1 (64.6%)
sse	8.5	17.6 (107.1%)	11.8 (38.8%)
styr	15.3	22.9 (49.7%)	19.9 (30.1%)
tbk	50.6	41.6 (-17.8%)	31.7 (-37.4%)
train11	7.0	6.0 (-14.3%)	6.0 (-14.3%)
train4	2.6	2.6 (0.0%)	2.6 (0.0%)
消費電力最適状態符号割当による P_f の平均低減度		30.6%	23.5%

表 5.10: 各状態符号割当による状態遷移回路のフリップフロップ部の消費電力 P_f

名称	消費電力最適 状態符号割当	回路最適状態符号割当	
		(回路優先)	(電力優先)
bbara	12.0	12.8 (6.7%)	10.7 (-10.8%)
bbsse	25.0	38.4 (53.6%)	29.4 (17.6%)
bbtas	6.8	9.1 (33.8%)	8.9 (30.9%)
beecount	12.7	13.5 (6.3%)	16.9 (33.1%)
cse	34.5	32.8 (-4.9%)	36.0 (4.3%)
dk14	41.2	38.2 (-7.3%)	37.2 (-9.7%)
dk15	19.0	19.3 (1.6%)	23.2 (22.1%)
dk16	93.7	95.4 (1.8%)	115.5 (23.3%)
dk17	23.5	24.7 (5.1%)	25.2 (7.2%)
dk27	14.3	18.5 (29.4%)	18.2 (27.3%)
dk512	26.0	37.9 (45.8%)	33.6 (29.2%)
donfile	58.3	53.8 (-7.7%)	47.0 (-19.4%)
ex1	55.7	74.8 (34.3%)	84.3 (51.3%)
ex4	17.8	22.0 (23.6%)	22.0 (23.6%)
ex6	33.1	31.8 (-3.9%)	32.8 (-0.9%)
keyb	56.8	51.8 (-8.8%)	51.8 (-8.8%)
kirk	139.2	148.3 (6.5%)	169.6 (21.8%)
lion	5.4	6.7 (24.1%)	5.4 (0.0%)
lion9	9.8	13.1 (33.7%)	11.8 (20.4%)
modulo12	6.8	8.9 (30.9%)	8.9 (30.9%)
planet	98.0	189.3 (93.2%)	176.9 (80.5%)
planet1	98.0	189.3 (93.2%)	176.9 (80.5%)
s1	95.3	84.4 (-11.4%)	84.4 (-11.4%)
s1a	81.0	72.0 (-11.1%)	72.0 (-11.1%)
s8	17.7	17.0 (-4.0%)	17.0 (-4.0%)
sand	80.1	91.1 (13.7%)	90.1 (12.5%)
sse	25.0	38.4 (53.6%)	29.4 (17.6%)
styr	65.2	83.4 (27.9%)	94.1 (44.3%)
tbk	168.5	172.2 (2.2%)	133.4 (-20.8%)
train11	15.8	14.0 (-11.4%)	14.0 (-11.4%)
train4	5.8	5.8 (0.0%)	5.8 (0.0%)
消費電力最適状態符号割当による P_{total} の平均低減度		17.8%	15.2%

表 5.11: 各状態符号割当による状態遷移回路の全体の消費電力 P_{total}

るが、この非遷移時の消費電力を考慮した結果を最後に示しておく。

まず各ゲートの消費電力のうち、出力が遷移する時のもの $P_t^{(\text{gate})}$ と出力が遷移しない時に内部容量等で消費されるもの $P_n^{(\text{gate})}$ を、spice によるシミュレーション結果や第 2 章の NAND ゲートの確率遷移モデル、および内部容量充放電による消費電力に関する研究 [3] を考慮して次のように定義する。

$$P_t^{(\text{gate})} \equiv C_{L_0} \times \text{FO} \quad (5.4)$$

$$P_n^{(\text{gate})} \equiv C_{L_0}/10 \quad (5.5)$$

また、フリップフロップについても出力遷移時の消費電力 $P_t^{(\text{FF})}$ と出力非遷移時の消費電力 $P_n^{(\text{FF})}$ を次式のように定義する。

$$P_t^{(\text{FF})} \equiv 13C_{L_0} + C_{L_0} \times \text{FO} \quad (5.6)$$

$$P_n^{(\text{FF})} \equiv 2C_{L_0} + 4P_n^{(\text{gate})} \quad (5.7)$$

ここで $P_n^{(\text{FF})}$ のうち $2C_{L_0}$ の項がクロック線 CLK につながるゲートの充放電に関する消費電力を考慮したものである。

これらを用いてスイッチレベルシミュレーションにおいて、各ゲート・フリップフロップの出力遷移回数の相対頻度と $P_t^{(\text{gate})}$, $P_t^{(\text{FF})}$ の積と出力非遷移回数の相対頻度と $P_n^{(\text{gate})}$, $P_n^{(\text{FF})}$ の積の和を回路全体の消費電力として計算した。

その結果、消費電力最適状態符号割当による各部の消費電力の低減度は非遷移時消費電力 P_n を考慮しない場合と比較して表 5.12 のように変わった。

全体として、非遷移時消費電力を考慮した場合の方が消費電力最適状態符号割当の効果小さくなる傾向があり、消費電力最適状態符号割当のためには非遷移時消費電力の小さいフリップフロップが有効である、という 5.3 節の結論を裏付ける結果となっている。

これらを総合すると、従来の論理回路最適状態符号割当と比較して、消費電力最適状態符号割当によって 10% 程度の組合せ論理回路部の回路の増加 (ただしフリップフロップ部の回路は両者で共通であるため、状態遷移回路全体の回路の増加はこれより小さい) によって、全体として 10% 以上の消費電力の低減が可能であることになる。

		P_n 非考慮	P_n 考慮
回路優先との 比較	P_c	11%	6%
	P_f	31%	19%
	P_{total}	18%	10%
電力優先との 比較	P_c	12%	8%
	P_f	24%	15%
	P_{total}	15%	10%

表 5.12: 非遷移時消費電力を考慮した場合の各部の消費電力の低減度

第6章

結論

本論文を通して、以下の結論が得られた。

(a) 組合せ論理回路の低消費電力化に関して

1. 入力信号の特性を確率的にモデル化することで、組合せ論理回路の消費電力を解析的に取り扱うモデルを提案し、その妥当性を検証した。
2. CMOS 論理回路の論理的に対称な入力回路的に非対称であることに着目し、最適な入力割当によって論理機能が同一で消費電力をできる方法を提案した。この方法を 1 ビット全加算器に適用したところ、無作為な入力割当と比較して最大で 30% 程度の消費電力の低減の可能性が示された。
3. 多入力ゲートに対する確率遷移モデル化は未解決の問題であるが、これに対する最適入力割当による低消費電力化の手法自体はシミュレーション等によって実現可能である。

(b) 状態遷移回路の低消費電力化に関して

1. 状態遷移回路の動作特性を確率的に表現することにより、その電力消費特性を解析的に取り扱うモデルを提案し、その妥当性を検証した。
2. 状態符号間平均 Hamming 距離 \bar{d} を最小にする状態符号割当のため、真の最適解からの差が 4% 程度の割当を実用的な時間内に実施できるアルゴリズムを提案した。

3. 消費電力最適状態符号割当の効果は状態遷移回路の規模や性質に依存するが、例として 32 状態の状態遷移回路の場合、無作為な状態符号割当と比較して最大で \bar{d} を 40% 程度低減できる可能性があることを示した。
4. 同期式フリップフロップのクロック線における非遷移時消費電力 P_n を考慮した評価を行い、これが小さいほど消費電力最適状態符号割当の効果が大いことを示した。またクロック線部分を等価回路で表し、エネルギーリサイクルを実現することによる P_n の低減の概念とその効果の見積りを行った。
5. 別の状態符号として One-hot 符号をとりあげ、特に非同期回路構成をとることで論理回路規模が同等で消費電力を低減できる可能性があることを示した。また状態符号割当可能性の問題があるが、 $N = 1000$ 程度までの状態遷移回路では Three-hot 符号が有効である可能性を示した。
6. 状態遷移確率が未知の場合の状態符号割当についての評価を行い、最も割り当てられやすい状態符号が有意水準 95% で最適な状態符号であることを示した。
7. 従来の状態符号割当法である論理回路最適状態符号割当との比較を行ったところ、消費電力最適状態符号割当による状態遷移回路では組合せ論理回路部のゲート数が 11% 程度大きくなるが、状態遷移回路全体の回路規模の増大はこれよりやや小さく、また消費電力では組合せ論理回路部で 11% 程度、フリップフロップ部で 30% 程度低減でき、状態遷移回路全体でも 18% 程度低減できる可能性があることを示した。また回路の非遷移時消費電力を考慮した場合でも、全体で 10% 程度の消費電力低減が可能であることを示した。

以上の結果より、論理機能が同一のままに組合せ論理回路・状態遷移回路ともに低消費電力化が可能となるため、特に大規模な回路において集積回路の設計の最終段階に付加する形で本手法が広く用いられるようになると期待される。

謝辞

本研究を行うにあたり、快適な研究環境を提供し、終始熱心な御指導をいただいた浅田邦博助教授に心から深く感謝いたします。

そして、いつでも相談に乗っていただいた張洪明氏 (現日本モトローラ)、D2 の池田誠氏、張子誠氏、李知漢氏、D1 の池野理門氏、クリストフ・ワッシュバー氏に深く感謝いたします。

また期間中、公私にわたってお世話になった鈴木真一技官、M2 の伊藤浩氏、M1 の三堂哲寿氏、ナワミン・ムックダートン氏をはじめ、元卒論生の林博之氏 (現相田研究室 M1)、研究員の宋敏圭氏 (現三星電子)、松崎重伸氏 (日産自動車)、金翼均氏 (ETRI) および浅田研究室の皆様に感謝いたします。

参考文献

- [1] R.H.Dennard *et al.*, “Design of Ion-Implanted MOSFETs with Very Small Physical Dimension,” *IEEE Journal of Solid-State Circuits*, Vol. 9, No. 5, pp. 256–268, Oct. 1974.
- [2] A. P. Chandrakasan *et al.*, “Low-Power CMOS Digital Design,” *IEEE Journal of Solid-State Circuits*, Vol. 27, No. 4, pp. 473–484, Apr. 1992.
- [3] C.Y. Tsui *et al.*, “Power Estimation considering Charging and Discharging of Internal Nodes of CMOS Gates,” *Proceedings of SASIMI '93*, pp. 345–353, 1993.
- [4] M. Kakumu, “Process and Device Technologies of CMOS Devices for Low-Voltage Operation,” *IEICE Transactions on Electronics*, Vol. E76-C, No. 5, pp. 672–680, May 1993.
- [5] K. Shimohigashi and K. Seki, “Low Voltage ULSI Design,” *1992 Symposium on VLSI Circuits, Digest of Technical Papers*, pp.54–58, 1992.
- [6] K. Itoh, “Trends in Megabit DRAM Circuit Design,” *IEEE Journal of Solid-State Circuits*, Vol. 25, No. 3, pp. 778–789, Jun. 1990.
- [7] A. Sekiyama *et al.*, “A 1-V Operating 256-kb Full-CMOS SRAM,” *IEEE Journal of Solid-State Circuits*, Vol. 27, No. 5, pp. 776–782, May 1992.
- [8] Y. Nakagome *et al.*, “Sub-1-V Swing Bus Architecture for Future Low Power ULSIs,” *1992 Symposium on VLSI Circuits, Digest of Technical Papers*, pp. 82–83, 1992.

- [9] 熊野谷他, 「メガビット DRAM の高性能化のための最適設計」電子情報通信学会論文誌 C, Vol. J71-C, No. 7, pp. 1007–1014, 1988 年 7 月.
- [10] T. Quarles *et al.*, “SPICE 3B1 User’s Guide,” Jan. 1989.
- [11] J. Mavor *et al.*, “Introduction to MOS LSI Design,” Addison-Wesley, 1983.
- [12] S. Devadas *et al.*, “MUSTANG: State Assignment for Finite State Machines Targeting Multilevel Logic Implementations,” *IEEE Transactions on Computer-Aided Design*, Vol. 7, No. 12, Dec. 1988.
- [13] R.K.Brayton *et al.*, “MIS: A Multiple-Level Logic Optimization System,” *IEEE Transactions on Computer-Aided Design*, Vol. 6, No. 6, Nov. 1987.
- [14] M. Lee and K. Asada, “Ultimate Lower Bound of Power for MOS Integrated Circuits and Their Applications,” *IEICE Transactions on Electronics*, Vol. E77-C, No. 7, Jul. 1994.

本研究に関する公表文献と発表

本研究に関する公表文献

- [1] K. Asada and J. Akita, "A Method for Reducing Power Consumption of CMOS Logic Based on Signal Transition Probability," *IEICE Transactions on Electronics*, May, 1995. (to be published)

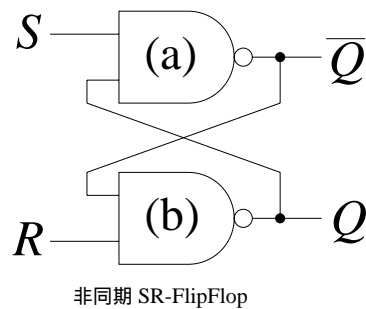
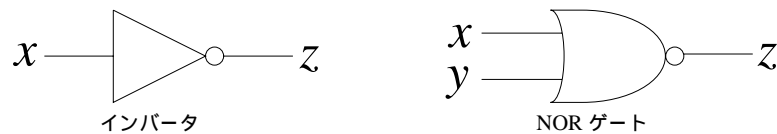
本研究に関する発表

- [1] J. Akita and K. Asada, "A Method for Reducing Power Consumption of CMOS Logic Based on Signal Transition Probability," EDAC-ETC Euro ASIC '94, Feb. 1994.
- [2] 林博之, 秋田純一, 浅田邦博, 「同期回路の低消費電力化のための同期回路の低消費電力化のための最適状態割当法」電子情報通信学会秋季全国大会 A-67, p.67, 1994年9月.
- [3] 秋田純一, 林博之, 浅田邦博, 「同期式フリップフロップのクロック線電力消費の評価と低減法」電子情報通信学会秋季全国大会 A-68, p.68, 1994年9月.
- [4] K.Asada and J.Akita, "Optimum State Assignment for CMOS Implementation of Low Power Finite State Machine," IFIP Workshop on Logic and Architecture Synthesis, Dec. 1994.
- [5] 秋田純一, 浅田邦博, 「低消費電力状態遷移回路のためのコード割当の評価」電子情報通信学会春季全国大会 A-108, 1995年3月. (発表予定)

付録 A

論理素子の確率遷移モデル

第 2 章で提案した確率遷移モデルは、NAND ゲート以外の論理素子にも適用できる。以下では例として、インバータ、2 入力 NOR ゲート、非同期 SR-FF について確率遷移モデルを導出した結果を示す。以下では、確率パラメータ α, β の添字は、入力端子名を表すとする。



インバータの確率遷移モデル

インバータの真理値表から明らかに、

$$\alpha_z = \beta_x, \quad \beta_z = \alpha_x$$

となるので、負荷容量の充電確率 \bar{N} は以下ようになる。

$$\bar{N} = \frac{\alpha_x \beta_x}{\alpha_x + \beta_x}$$

NOR ゲートの確率遷移モデル

正論理の NOR ゲートは、負論理の AND ゲート、すなわち負論理の NAND ゲートの出力にインバータを接続したものと等価である。各入力の反転 \bar{x}, \bar{y} の確率パラメータ $(\alpha_{\bar{x}}, \beta_{\bar{x}}), (\alpha_{\bar{y}}, \beta_{\bar{y}})$ は、以下ようになる。

$$\alpha_{\bar{x}} = \beta_x, \quad \beta_{\bar{x}} = \alpha_x, \quad \alpha_{\bar{y}} = \beta_y, \quad \beta_{\bar{y}} = \alpha_y$$

すなわち、負荷容量 C_L 、内部容量 C_i の充電確率 $\bar{N}_{C_L}, \bar{N}_{C_i}$ は、(2.12), (2.20) 式の各パラメータに上記の置換えを行うことで求めることができる。

また、NOR ゲートの出力 z の反転 \bar{z} は、負論理の NAND ゲートの出力と等しいので、それぞれの確率パラメータを $(\alpha_z, \beta_z), (\alpha_{\bar{z}}, \beta_{\bar{z}})$ とすると、以下ようになる。

$$\alpha_{\bar{z}} = \beta_z, \quad \beta_{\bar{z}} = \alpha_z$$

したがって、NOR ゲートの出力の確率パラメータは (2.9), (2.10) 式から求めることができる。

非同期 SR-FF の確率遷移モデル

2 つの NAND ゲートをクロスに接続した非同期 SR-FF を確率遷移モデル化するには、各 NAND ゲートからなる回路として扱う方法もあるが、2 つの入力間の相関が極めて強いため、フリップフロップ自体を独立した要素としてモデル化を行う。

入力 S, R のそれぞれの確率パラメータから、4 通りの入力の組合せそれぞれの確率を求めることができる。しかし、入力が $[S, R] = [1, 1]$ のとき、出力 (Q, \bar{Q}) の組合せが $(0, 1), (1, 0), (1, 1)$ の 3 通りが可能であるので、それぞれの確率を $P_{11}^{(0,1)}, P_{11}^{(1,0)}, P_{11}^{(1,1)}$ として区別すると、これらは排反であるので、次式が成り立つ。

$$P_{11}^{(0,1)} + P_{11}^{(1,0)} + P_{11}^{(1,1)} = P_{11}$$

ただし P の下の添字は左から順に S, R の値を表し、上の括弧内の添字は左から順に Q, \bar{Q} の値を表す。

入力に関する状態遷移図を考慮すると、定常状態において次式が成り立つ。

$$P_{11}^{(0,1)} = P_{11}^{(0,1)}(1 - \beta_S)(1 - \beta_R) + P_{10}(1 - \beta_S)\alpha_R$$

$$P_{11}^{(1,0)} = P_{11}^{(1,0)}(1 - \beta_S)(1 - \beta_R) + P_{01}\alpha_S(1 - \beta_R)$$

$$P_{11}^{(1,1)} = P_{11}^{(1,1)}(1 - \beta_S)(1 - \beta_R) + P_{00}\alpha_S\alpha_R$$

これを解くことで各々の確率が求められる。

以下、入出力の値の組合せを $(S, R : Q, \bar{Q})$ と書く。SR-FF の真理値表を考慮すると、可能な組合せは $(1,0:0,1)$, $(0,1:1,0)$, $(0,0:1,1)$, $(1,1:0,1)$, $(1,1:1,0)$, $(1,1:1,1)$ の 6 通りとなる。

出力 Q が 0 となる組合せは $(1,0:0,1)$, $(1,1:0,1)$ の 2 通り、1 となる組合せは残りの 4 通りである。これらの状態間の遷移を考慮することで Q の確率パラメータ (α_Q, β_Q) を次式のように求めることができる。

$$\begin{aligned} \alpha_Q &= \left[P_{10}\{(1 - \beta_S)\alpha_R + (1 - \beta_S)(1 - \alpha_R)\} \right. \\ &\quad \left. + P_{11}^{(0,1)}\{(1 - \beta_S)(1 - \beta_R) + (1 - \beta_S)\beta_R\} \right] / (P_{10} + P_{11}^{(0,1)}) \\ \beta_Q &= \left[P_{11}^{(1,0)}\{(1 - \beta_S)(1 - \beta_R) + \beta_S(1 - \beta_R) + \beta_S\beta_R\} \right. \\ &\quad + P_{11}^{(1,1)}\{(1 - \beta_S)(1 - \beta_R) + \beta_S(1 - \beta_R) + \beta_S\beta_R\} \\ &\quad + P_{01}\{\alpha_S(1 - \beta_R) + (1 - \alpha_S)(1 - \beta_R) + (1 - \alpha_S)\beta_R\} \\ &\quad \left. + P_{00}\{(1 - \alpha_S)(1 - \alpha_R) + (1 - \alpha_S)\alpha_R + \alpha_S\alpha_R\} \right] \\ &\quad / (P_{11}^{(1,0)} + P_{11}^{(1,1)} + P_{01} + P_{00}) \end{aligned}$$

同様にして出力 \bar{Q} の確率パラメータ $(\alpha_{\bar{Q}}, \beta_{\bar{Q}})$ も次式のように求められる。

$$\begin{aligned} \alpha_{\bar{Q}} &= \left[P_{01}\{\alpha_S(1 - \beta_R) + (1 - \alpha_S)(1 - \beta_R)\} \right. \\ &\quad \left. + P_{11}^{(1,0)}\{(1 - \beta_S)(1 - \beta_R) + \beta_S(1 - \beta_R)\} \right] / (P_{01} + P_{11}^{(1,0)}) \\ \beta_{\bar{Q}} &= \left[P_{11}^{(0,1)}\{(1 - \beta_S)(1 - \beta_R) + (1 - \beta_S)\beta_R + \beta_S\beta_R\} \right. \\ &\quad + P_{11}^{(1,1)}\{(1 - \beta_S)(1 - \beta_R) + (1 - \beta_S)\beta_R + \beta_S\beta_R\} \\ &\quad \left. + P_{10}\{(1 - \beta_S)\alpha_R + (1 - \beta_S)(1 - \alpha_R) + \beta_S(1 - \alpha_R)\} \right] \end{aligned}$$

$$\begin{aligned} &+P_{00}\{(1-\alpha_S)(1-\alpha_R)+\alpha_S(1-\alpha_R)+\alpha_S\alpha_R\}] \\ &/(P_{11}^{(0,1)}+P_{11}^{(1,1)}+P_{10}+P_{00}) \end{aligned}$$

(a), (b) の NAND ゲートの負荷容量、内部容量をそれぞれ $C_L^{[(a)]}$, $C_i^{[(a)]}$, $C_L^{[(b)]}$, $C_i^{[(b)]}$ とする。ただし各容量の上の鉤括弧内の添字 (a), (b) は各 NAND ゲートを表す。 $C_L^{[(a)]}$, $C_L^{[(b)]}$ が充電、放電されるときの組合せは、以下のようになる。

$C_L^{[(a)]}$	充電	(0,1:1,1), (0,0:1,1), (1,1:1,0)
	放電	(1,0:0,1), (1,1:0,1), (1,1:1,1)
$C_L^{[(b)]}$	充電	(1,0:0,1), (0,0:0,1), (1,1:0,1)
	放電	(0,1:1,0), (1,1:1,0), (1,1:1,1)

これらの各状態間の状態遷移を考慮すると、各容量に充電が起こる確率 $\overline{N_{C_L}^{[(a)]}}$, $\overline{N_{C_L}^{[(b)]}}$ はそれぞれ次式のようにになる。

$$\begin{aligned} \overline{N_{C_L}^{[(a)]}} &= P_{10}\{\beta_S\alpha_R+\beta_S(1-\alpha_R)\}+P_{11}^{(1,1)}\{\beta_S(1-\beta_R)+\beta_S\beta_R\} \\ &\quad +P_{11}^{(0,1)}\{\beta_S(1-\beta_R)+\beta_S\beta_R\} \\ \overline{N_{C_L}^{[(b)]}} &= P_{01}\{\alpha_S\beta_R+(1-\alpha_S)\beta_R\}+P_{11}^{(1,0)}\{(1-\beta_S)\beta_R+\beta_S\beta_R\} \\ &\quad +P_{11}^{(1,1)}\{(1-\beta_S)\beta_R+\beta_S\beta_R\} \end{aligned}$$

各内部容量が浮遊状態となるのは、各 NAND ゲートの入力に共に 0 となるときであるので、そのときの $(S, R : Q, \overline{Q})$ の組合せは、 $C_i^{[(a)]}$ が (0,1:1,0)、 $C_i^{[(b)]}$ が (1,0:0,1) である。各内部容量が充電または放電された状態を、それぞれの確率の右肩に [(a) : 1], [(a) : 0], [(b) : 1], [(b) : 0] (ただし例えば、[(a) : 1] は (a) の NAND ゲートの容量が充電された状態を表す) を付して表すとすると、定常状態では次式が成り立つ。

$$\begin{aligned} P_{01}^{[(a):1]} &= P_{01}^{[(a):1]}(1-\alpha_S)(1-\beta_R)+P_{11}^{(1,0)}\beta_S(1-\beta_R) \\ P_{01}^{[(a):0]} &= P_{01}^{[(a):0]}(1-\alpha_S)(1-\beta_R)+P_{10}\beta_S\alpha_R \\ &\quad +P_{00}(1-\alpha_S)\alpha_R+P_{11}^{(0,1)}\beta_S(1-\beta_R)+P_{11}^{(1,1)}\beta_S(1-\beta_R) \\ P_{10}^{[(b):1]} &= P_{10}^{[(b):1]}(1-\beta_S)(1-\alpha_R)+P_{11}^{(0,1)}(1-\beta_S)\beta_R \\ P_{10}^{[(b):0]} &= P_{10}^{[(b):0]}(1-\beta_S)(1-\alpha_R)+P_{01}\alpha_S\beta_R \\ &\quad +P_{00}\alpha_S(1-\alpha_R)+P_{11}^{(1,0)}(1-\beta_S)\beta_R+P_{11}^{(1,1)}(1-\beta_S)\beta_R \end{aligned}$$

これらを用いると、 $C_i^{(a)}$, $C_i^{(b)}$ への充電がおこる確率 $\overline{N_{C_i}^{(a)}}$, $\overline{N_{C_i}^{(b)}}$ はそれぞれ次式
 のようになる。

$$\begin{aligned}\overline{N_{C_i}^{(a)}} &= P_{01}^{[(a):0]} \alpha_S (1 - \beta_R) \\ \overline{N_{C_i}^{(b)}} &= P_{10}^{[(b):0]} (1 - \beta_S) \alpha_R\end{aligned}$$

以上を用いれば、この非同期 SR-FF の消費電力の期待値 \overline{P} は次式のようにになる。

$$\overline{P} = f \{ (\overline{N_{C_L}^{(a)}} C_L^{(a)} + \overline{N_{C_L}^{(b)}} C_L^{(b)}) V_{dd}^2 + (\overline{N_{C_i}^{(a)}} C_i^{(a)} + \overline{N_{C_i}^{(b)}} C_i^{(b)}) V_{dd} (V_{dd} - V_T) \}$$

付録B

MCNC89 Benchmark 一覧

5.6 節で、状態符号割当による消費電力低減効果および回路規模の評価を行う際に用いた MCNC89 FSM benchmark set v1.0 に含まれる状態遷移機械の名称、状態数、入出力数および状態遷移表の遷移数を次頁に示す。なお、このベンチマークセットは Microelectronics Center of NC (P. O. Box 12889, Research Triangle Park, NC 27709) により配布されている。

名称	状態数	入力数	出力数	遷移数
bbara	10	4	2	60
bbsse	16	7	7	56
bbtas	6	2	2	24
beecount	7	3	4	28
cse	16	7	7	91
dk14	7	3	5	56
dk15	4	3	5	32
dk16	27	2	3	108
dk17	8	2	3	32
dk27	7	1	2	14
dk512	15	1	3	30
donfile	24	2	1	96
ex1	20	9	19	138
ex2	19	2	2	72
ex3	10	2	2	36
ex4	14	6	9	21
ex5	9	2	2	32
ex6	8	5	8	34
ex7	10	2	2	36
keyb	19	7	2	170
kirk	16	12	6	370
kirkman	16	12	6	370
lion	4	2	1	11
lion9	9	2	1	25
mark1	15	5	16	22
mc	4	3	5	10
modulo12	12	1	1	24
opus	10	5	6	22
planet	48	7	19	115
planet1	48	7	19	115
s1	20	8	6	107
sla	20	8	6	107
s8	5	4	1	20
sand	32	11	9	184
scf	121	27	56	166
shiftreg	8	1	1	16
sse	16	7	7	56
styr	30	9	10	166
tav	4	4	4	49
tbk	32	6	3	1569
train11	11	2	1	25
train4	4	2	1	14