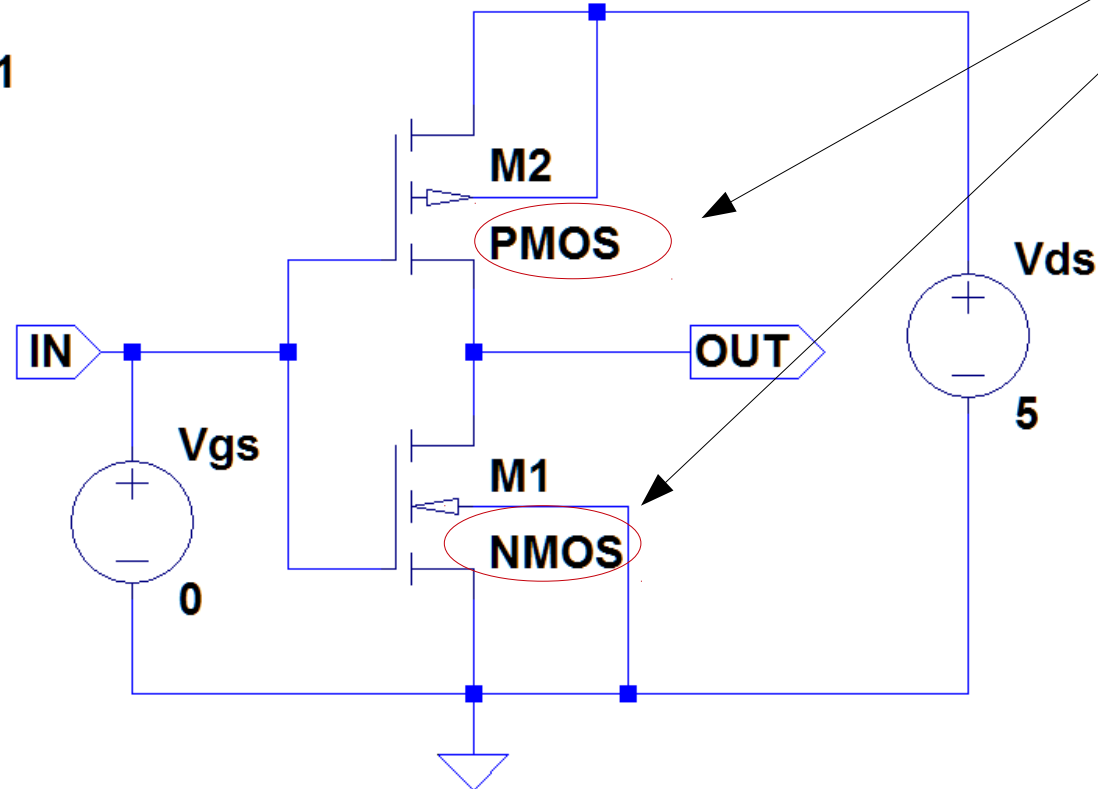


# Simulationの際の注意点

## 1. モデルパラメータの設定

```
.lib mos_tt.lib  
.dc Vgs 0 5 0.01
```

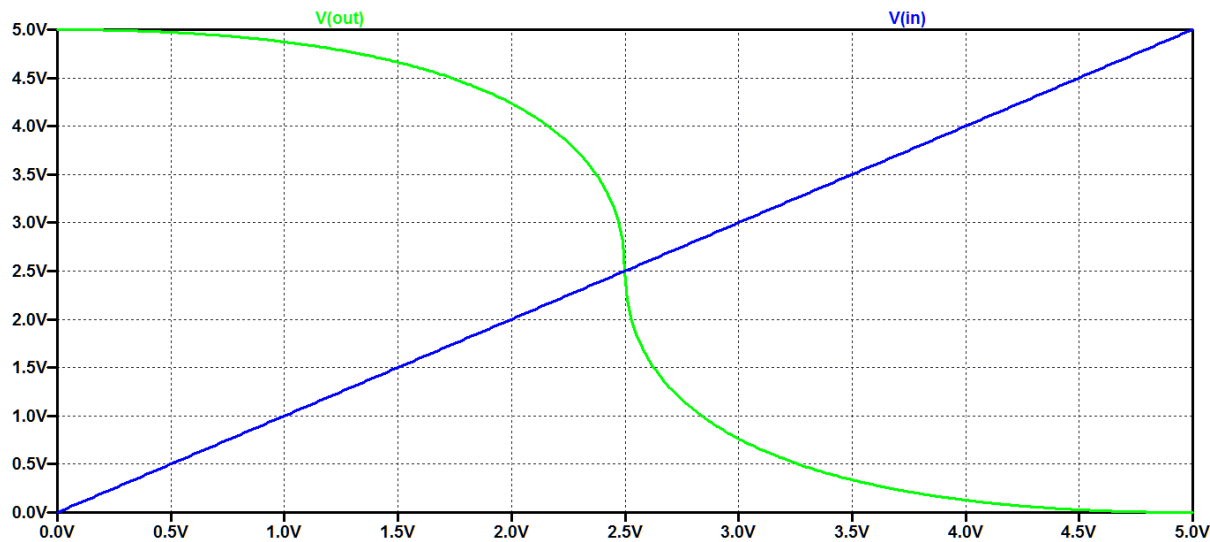


モデル  
間違い

せっかくモデルライブラリを指定してもモデルの  
指定が間違っている

・シミュレーションにはnmos4,pmos4を使ってください

# NMOS、PMOSのモデルが見つからないので、level1のモデルのデフォルトの値を用いてシミュレーションしてしまっている



```
SPICE Error Log: C:\Users\chikau\Documents\Simulations\TEG-Simulation\Measure-master\Devicemodel\Inverter.log
Circuit: * C:\Users\chikau\Documents\Simulations\TEG-Simulation\Measure-master\Devicemodel
Instance "m2": Length shorter than recommended for a level 1 MOSFET.
Instance "m2": Width narrower than recommended for a level 1 MOSFET.
Instance "m1": Length shorter than recommended for a level 1 MOSFET.
Instance "m1": Width narrower than recommended for a level 1 MOSFET.
Date: Mon Apr 25 04:40:48 2016
Total elapsed time: 0.121 seconds.
tnom = 27
temp = 27
method = trap
totiter = 1013
traniter = 0
tranpoints = 0
accept = 0
rejected = 0
matrix size = 5
fillins = 0
solver = Normal
Matrix Compiler1: 204 bytes object code size 0.1/0.1/[0.0]
Matrix Compiler2: 28 opcodes 0.0/[0.0]/0.1
```

Monolithic MOSFET - M1

Model Name:

Length(L):

Width(W):

Drain Area(AD):

Source Area(AS):

Drain Perimeter(PD):

Source Perimeter(PS):

No. Parallel Devices(M):

NMOS l=2u w=6u

Monolithic MOSFET - M1

Model Name:

Length(L):

Width(W):

Drain Area(AD):

Source Area(AS):

Drain Perimeter(PD):

Source Perimeter(PS):

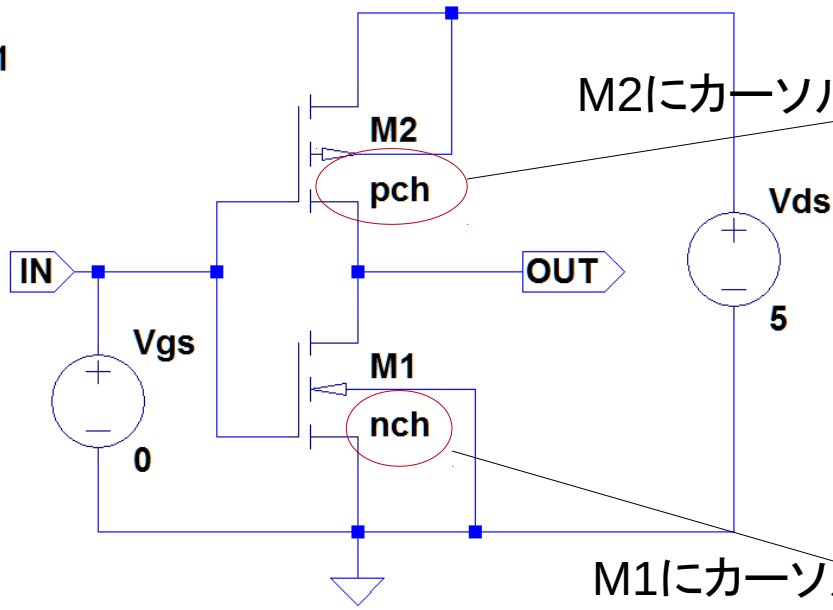
No. Parallel Devices(M):

NMOS l=2u w=6u

上の画面は回路図でTrの上にカーソル(十字カーソル⇒指カーソル)を持っていき、右クリックすることにより開く

# 正しいモデルの与え方

.lib mos\_tt.lib  
.dc Vgs 0 5 0.01



M2にカーソル⇒右クリック

Monolithic MOSFET - M2

Model Name:	pch	OK
Length(L):	2u	Cancel
Width(W):	6u	
Drain Area(AD):		
Source Area(AS):		
Drain Perimeter(PD):		
Source Perimeter(PS):		
No. Parallel Devices(M):		

pch l=2u w=6u

M1にカーソル⇒右クリック

Monolithic MOSFET - M1

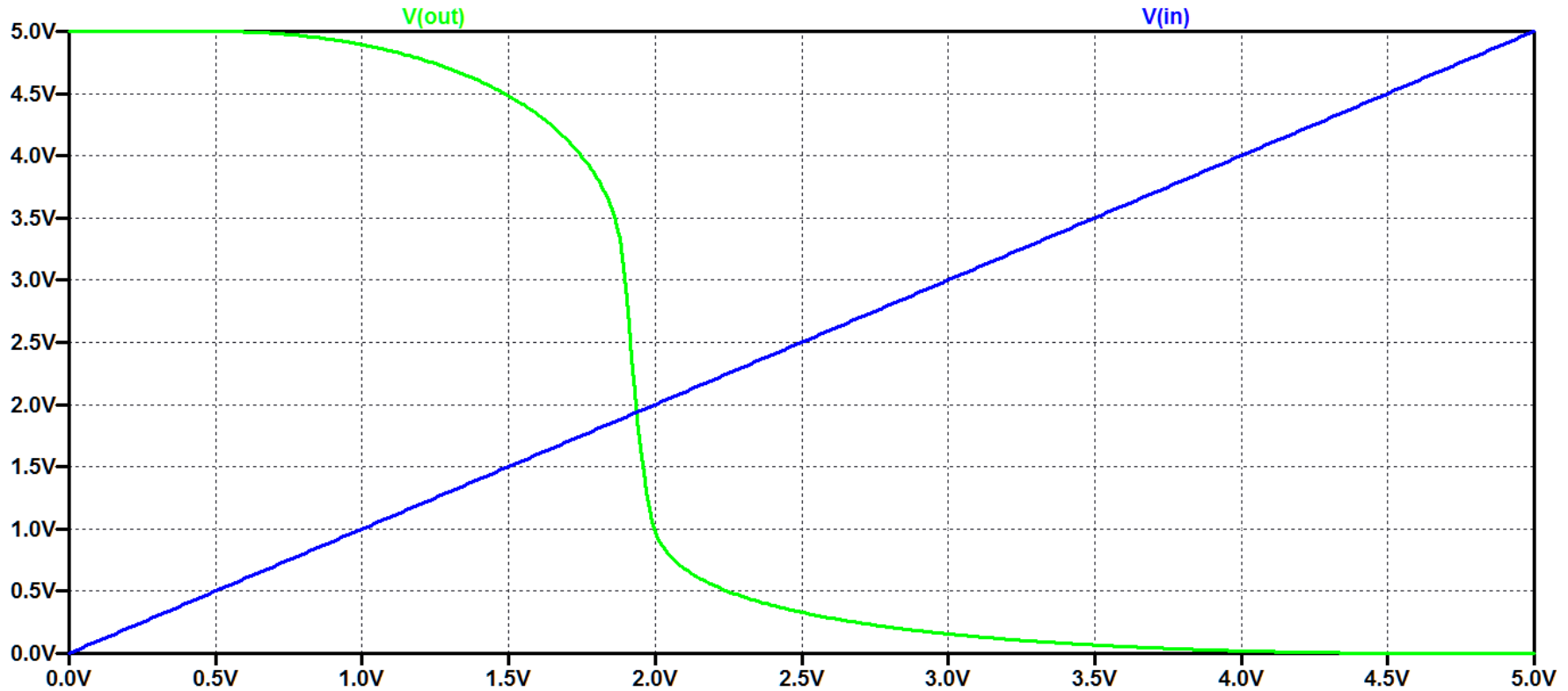
Model Name:	nch	OK
Length(L):	2u	Cancel
Width(W):	6u	
Drain Area(AD):		
Source Area(AS):		
Drain Perimeter(PD):		
Source Perimeter(PS):	1	
No. Parallel Devices(M):		

nch l=2u w=6u

mos\_tt.libにはnmosのモデルとしてnch、pmosのモデルとしてpchを使いましょう  
(実際にはpchのモデルとしてpch,pch2がありますが、我々の所ではpchを使っています)

mos\_tt.libの置き場所は、回路図ファイル(.asc)と同じフォルダに置いてください

# シミュレーション結果



```
Warning: Pd = 0 is less than W.  
Warning: Ps = 0 is less than W.  
Warning: Pd = 0 is less than W.  
Warning: Ps = 0 is less than W.
```

```
Date: Mon Apr 25 05:20:00 2016  
Total elapsed time: 0.084 seconds.
```

```
tnom = 27  
temp = 27  
method = trap  
totiter = 1012  
traniter = 0  
tranpoints = 0  
accept = 0  
rejected = 0  
matrix size = 5  
fillins = 0  
solver = Normal  
Matrix Compiler1: 204 bytes object code size 0.0/0.0/[0.0]  
Matrix Compiler2: 311 bytes object code size 0.1/0.0/[0.0]
```

モデルのエラーが無くなった  
その代わりにPd,Psのwarningが  
出てきた。  
これについては、気にしなけれ  
気にしなくてもいいかな??  
インバータの閾値がずれたがこれ  
を中点電位付近にするには  
nmos/pmosのWの比を変えてくだ  
さい。

## 2.PD,PS,AD,ASの値

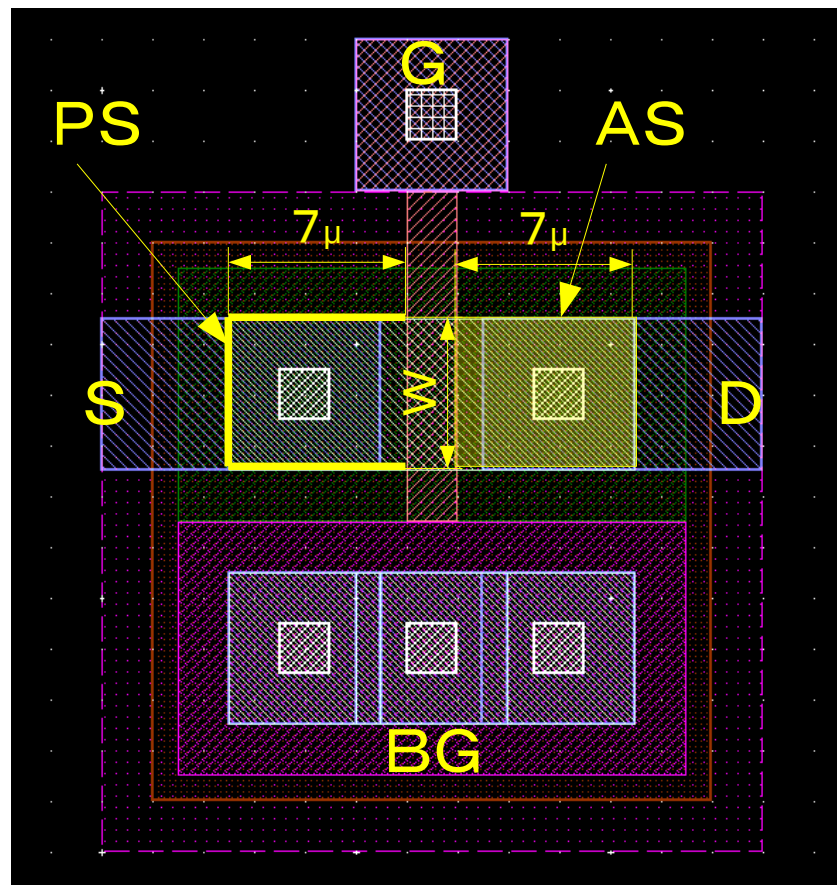
- PD、PS ソース／ドレインのゲート側を除いた周囲長
- AD、AS ソース／ドレインの面積  
どちらもWellとの間に出来るPN接合の容量を決定する係数である

右の図は、NMOSTrのレイアウトとPD,  
PS,AD,ASの関係を示したものである

ソース／ドレインの領域は、NSL  
(PSL)とACTIVEレイヤのかさなった  
部分であり、その幅は設計ルールに従  
うと $7\mu$ 、高さはゲート幅 $W$ となる

$$PD = 7\mu + 7\mu + W (=PS)$$

$$AD = 7\mu \times W (=AS)$$



# 具体的な入力例とエラーログ

Monolithic MOSFET - M1

Model Name: nch

Length(L): 2u

Width(W): 6u

Drain Area(AD): {7u\*6u}

Source Area(AS): {7u\*6u}

Drain Perimeter(PD): {14u+6u}

Source Perimeter(PS): {14u+6u}

No. Parallel Devices(M):

nch l=2u w=6u ad={7u\*6u} as={7u\*6u} pd={14u+6u} ps={14u+6u}

SPICE Error Log: C:\Users\chikau\Documents\Simulations\TEG-Simulation\Measure-master\Devicemodel\Inverter.log

Circuit: \* C:\Users\chikau\Documents\Simulations\TEG-Simulation\Measure-master\Devicemodel\I

Date: Mon Apr 25 14:09:47 2016  
Total elapsed time: 0.163 seconds.

```
tnom = 27
temp = 27
method = trap
totiter = 1011
traniter = 0
tranpoints = 0
accept = 0
rejected = 0
matrix size = 5
fillins = 0
solver = Normal
Matrix Compiler1: 204 bytes object code size 0.1/0.0/[0.0]
Matrix Compiler2: 311 bytes object code size 0.1/0.1/[0.0]
```

Warningもなく実行終了

Monolithic MOSFET - M2

Model Name: pch

Length(L): 2u

Width(W): 6u

Drain Area(AD): {7u\*6u}

Source Area(AS): {7u\*6u}

Drain Perimeter(PD): {14u+6u}

Source Perimeter(PS): {14u+6u}

No. Parallel Devices(M):

pch l=2u w=6u ad={7u\*6u} as={7u\*6u} pd={14u+6u} ps={14u+6u}

LTSpiceでは

- ・{7u\*6u}
- ・{14u+6u}

のような{ }でくられた書き方をすると、実行時にその中身を計算してくれる機能があります